

# TEMA 7

## CONVERSORES D/A Y A/D

Tras realizar el acondicionamiento de la señal proveniente de un sensor, que normalmente habrá sido transformada en tensión, escalada, limpiada de ruido y eliminada su componente constante, es necesario digitalizarla para que algún elemento lógico de control pueda conocer el valor de la variable vigilada y actuar en consecuencia. Este proceso se da en prácticamente todos los sistemas de instrumentación actuales, con excepciones puntuales como la lectura del valor de una capacidad midiendo el tiempo de carga-descarga o el número de ciclos de un oscilador, situación en la que se necesitan contadores y un reloj estable y con una frecuencia conocida con precisión.

### 1 Conceptos generales

Se llama «**convertor analógico/digital**», «**convertor A/D**» o «**ADC**» a todo dispositivo que convierte en un número entero un valor de tensión  $V_{IN}$  situado entre dos valores de referencia,  $V_{REF,+}$  y  $V_{REF,-}$ . Normalmente,  $REF,-$  será el nudo de tierra con lo que  $V_{REF,-} = 0$  y  $REF,+$  una tensión de referencia ( $V_{REF,+} \equiv V_{REF}$ ). La entrada puede ser diferencial, con dos pines  $IN,+$  y  $IN,-$  con lo que  $V_{IN} = V_{IN,+} - V_{IN,-}$ . El símbolo típico, del que existen algunas variaciones, se muestra en Fig. 1a.

Se llama «**convertor digital/analógico**», «**convertor D/A**» o «**DAC**» al dispositivo que realiza la operación inversa: convertir un número entero en una señal eléctrica situada entre dos valores de referencia. Su símbolo típico se muestra en Fig. 1b. Normalmente, la señal eléctrica es una tensión aunque nada excluye que sea una corriente o, incluso, una resistencia. En este caso, se hablará de «**potenciómetros digitales**<sup>1</sup>».

Antes de abordar el estudio de cada uno de los dos elementos, se realizarán algunas definiciones o consideraciones comunes:

- **Resolución de un convertor:** Sea cual sea el tipo de convertor, su resolución, **N**, es el número de bits necesarios para numerar los niveles de entrada o salida. De este modo, un DAC con una resolución de N bits codifica cualquier valor entero entre 0 y  $2^N - 1$ . En un ADC, la salida será algún número entero entre 0 y  $2^N - 1$ , ambos incluidos. En cualquier caso, habrá  $2^N$  valores posibles de entrada/salida.
- **Tensión de bit menos significativo:** Tanto en el DAC como en el ADC, este parámetro se define como:

$$V_{LSB} = \frac{V_{REF,+} - V_{REF,-}}{2^N} \equiv \frac{V_{REF}}{2^N} \quad (1)$$

donde la segunda expresión aparece si  $REF,-$  es tierra. En general, se utiliza el acrónimo **LSB** del inglés «*least significant bit*». Muchos de los parámetros que caracterizan a los convertidores se expresan en unidades LSB en lugar de voltios o submúltiplos.

<sup>1</sup>Más información, p.e., en <http://www.analog.com/media/en/technical-documentation/application-notes/AN-1291.pdf>.

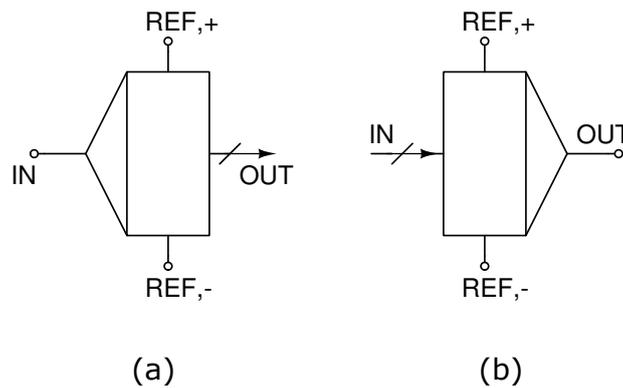


Figura 1: Símbolos del ADC (a) y del DAC (b). Los buses de datos se han marcado con flechas.

- Tensiones de referencia:** Es estrictamente necesario que las tensiones que se utilizan como referencia sean constantes e independientes de la polarización, temperatura, libres de ruido, etc. Esto obliga al uso de referencias de tensión. Normalmente, estas referencias tienen el valor típico de las tensiones de alimentación (2,5, 3,3, 5, 10 V) o bien una potencia natural de 2 expresada en mV (2,048 V, 4,096 V, etc.). La ventaja de usar estos últimos valores es la fácil definición de  $V_{LSB}$  como 1 mV o múltiplos enteros de este valor.  
Algunos modelos de convertidor construidos en tecnología bipolar disponen de su propia referencia de tensión interna (P. e., el DAC813 de Texas Instruments).
- Formato de entrada/salida:** En general, la entrada de un DAC, o la salida de un ADC, podrá ser de tipo paralelo o serie. En el primer caso, el número de entradas (salidas) coincide con la resolución del dispositivo. En caso de que el convertidor sea de tipo serie, la transmisión se realizará a través de un único pin utilizándose típicamente los protocolos SPI e I<sup>2</sup>C, que se verán en el tema correspondiente. Evidentemente, aquellos dispositivos que trabajen a muy alta frecuencia deben usar una disposición en paralelo, mucho más rápida que la serie.  
Por otra parte, el formato del número entero es libre: En la mayor parte de los convertidores, habrá una identificación directa entre el número natural y su formato binario. Sin embargo, en algunos casos el formato del número podría ser complemento a 1, con signo, etc.
- Niveles lógicos de entrada/salida:** Normalmente, los dispositivos aceptarán niveles lógicos convencionales como TTL (0-5 V) o CMOS (0-3,3 V). Sin embargo, en algunos dispositivos de muy alta velocidad no es extraño ver que son compatibles con niveles lógicos menos habituales como los niveles PECL, propio de lógicas ECL de altísima velocidad y donde los niveles se definen a 3,4 y 4,2 V.
- Multiplexación:** En muchos ADCs, se incorpora un multiplexor que permite seleccionar entre distintas posibles entradas. Estos convertidores se llaman «**multicanal**». En el caso de los DACs, se incorporan un multiplexor digital y registros lógicos. Así, se puede seleccionar con el multiplexor el registro donde se graba la entrada y controlar de este modo distintos DACs en un único circuito integrado.
- Integración en microcontroladores:** La conversión ADC es tan habitual que muchos microcontroladores disponen de uno o varios convertidores de este tipo. Más aún, en la práctica, ésta es una de las características que diferencian a los microcontroladores de los microprocesadores. Pueden usarse de manera muy sencilla. Así, en las placas tipo Arduino se dispone de la función `analogRead()` para realizar la lectura en el puerto definido con de entrada analógica. En el dialecto CCS de C para PICs, esta función es `read_adc()`. En GNU GCC para ARM, no existe una función específica y hay que manipular

los registros del microcontrolador para iniciar la conversión. Sin embargo, esto tampoco tiene mayor dificultad.

Algunos microcontroladores también disponen de DACs aunque no son ubicuos como los ADCs.

Pasemos entonces a estudiar las particularidades de cada tipo de dispositivo. Se comenzará por los conversores D/A, más fáciles de describir y comprender que los ADCs.

## 2 Conversores D/A

Idealmente, en un DAC alimentado con dos tensiones de referencia,  $V_{REF,+}$  y  $V_{REF,-}$ , y con  $N$  bits de resolución, la salida, que normalmente es tensión, arroja un valor igual a:

$$V_{OUT}(k) = V_{REF,-} + k \cdot V_{LSB}, \quad \text{con } k \in [0, 1, \dots, 2^N - 1] \quad (2)$$

y como  $V_{REF,-}$  suele ser tierra, la expresión anterior se convierte en:

$$V_{OUT}(k) = k \cdot V_{LSB}, \quad \text{con } k \in [0, 1, \dots, 2^N - 1] \quad (3)$$

En segundo lugar, vamos a precisar algo más qué se entiende por  $V_{LSB}$ . Esta tensión se define como el cambio que se produce en la tensión de salida al incrementarse una unidad el valor de la entrada. En muchos casos, este valor coincide con el mostrado en Eq. 1 aunque, en algunos casos, puede haber matizaciones. Por ejemplo, en los conversores CMOS que se verán en la Sección 2.2.2,  $V_{LSB}$  es negativo.

### 2.1 No idealidades de un DAC

1. **Error de offset:** Se define este error como la diferencia entre la tensión de salida,  $V_{OUT}$ , cuando la entrada es  $k = 0b00\dots 0$  y  $V_{REF,-}$ , expresada en unidades LSB:

$$E_{OS} = \frac{V_{0b00\dots 0} - V_{REF,-}}{V_{LSB}} \quad (4)$$

A semejanza de otros *offsets*, es posible eliminarlo de manera muy sencilla. En la práctica, su eliminación es equiparable a un ajuste de cero.

2. **Error de ganancia:** Otra importante característica de los DAC es que la diferencia de tensión entre la máxima tensión alcanzable  $V_{0b11\dots 1}$ , y la mínima,  $V_{0b00\dots 0}$ , debe ser  $(2^N - 1) \cdot V_{LSB}$ . Como esto no ocurre en los dispositivos reales, la manera de medir esta desviación es:

$$E_{GN} = \frac{V_{0b11\dots 1} - V_{0b00\dots 0}}{V_{LSB}} - (2^N - 1) \quad (5)$$

Este error se mide en unidades LSB y está asociado a un mal ajuste de la ganancia. A diferencia del error de *offset*, la influencia del error de ganancia es mayor cuanto mayor sea la entrada. De este modo, se puede corregir el error con la expresión:

$$\frac{V_{OUT}^*(k)}{V_{LSB}} = \frac{V_{OUT}(k)}{V_{LSB}} - E_{OS} - \frac{E_{GN}}{2^N - 1} \cdot k \quad (6)$$

Esto no es sino un ajuste de ganancia.

3. **No linealidad del conversor:** Tras eliminar los dos errores anteriores, el valor corregido de la tensión de salida en unidades LSB debería ser igual al número entero de la entrada. Esto se va a cumplir, al menos, en los dos valores extremos de la entrada,  $0b00\dots 0$  y  $0b11\dots 1$  pero, en la práctica, no se va a cumplir en ninguno más. Cualquier otra desviación ya no es corregible y sólo podemos realizar una estimación de estas desviaciones respecto

al valor esperado para ponderar la calidad del DAC. Como en el caso de cualquier otro dispositivo de instrumentación, son desviaciones respecto a una línea recta y, por tanto, se asimilan a una no linealidad del dispositivo.

Para medirla, se van a utilizar dos parámetros:

- (a) **No linealidad diferencial** (*Differential Non-Linearity, DNL*): Idealmente, en un DAC, la diferencia entre dos valores de salida consecutivos en unidades LSB es 1. Definiremos el vector  $VDNL(k)$  como:

$$VDNL(k) = \text{abs}([V_{OUT}^*(k+1) - V_{OUT}^*(k)] - 1) \quad (7)$$

siendo  $V_{OUT}^*$  la tensión de salida, expresada en unidades LSB, tras eliminar los errores de *offset* y ganancia. Este vector cuenta con  $2^N - 1$  elementos. Se define la DNL como el máximo valor de este conjunto:

$$DNL = \max(VDNL(k)) \quad (8)$$

Cuanto más próximo esté este valor a 0, más lineal es el conversor. En lugar de expresar este valor de manera directa, se suele usar un término derivado, el **número efectivo de bits**,  $N_{EFF}$ , más fácil de visualizar. Se define como:

$$N_{EFF} = N - \log_2(DNL) \quad (9)$$

$N_{EFF}$  puede ser perfectamente un número irracional, no entero. Fijémonos, por otro lado, que si la DNL es inferior a 1, el número de efectivo de bits es superior a la resolución del conversor sin que esto sea un absurdo.

- (b) **No linealidad integral** (*Integral Non-Linearity, INL*): Una manera alternativa de medir la no linealidad es la INL. Como en el caso anterior, eliminaremos los errores de *offset* y de ganancia y a continuación definiremos un vector auxiliar  $VINL(k)$  como:

$$VINL(k) = \text{abs}(V_{OUT}^*(k) - k) \quad (10)$$

A diferencia de  $VDNL$ , este vector tiene  $2^N$  elementos. Definiremos la INL como su valor máximo:

$$INL = \max(VINL(k)) \quad (11)$$

Como en el caso de la DNL, cuanto más próximo a 0 sea el valor de la INL, más lineal será el dispositivo. Un término derivado de la INL es el **número relativo de bits**,  $N_{REL}$ , definido como:

$$N_{REL} = N - \log_2(INL) \quad (12)$$

y que también puede ser superior a la resolución del conversor.

- Monotonidad**: Se dice que un DAC es monótonico si cualquier incremento en la entrada provoca un incremento en la tensión de salida. Es posible demostrar que, si  $DNL < 1$  o  $INL < 0.5$ , el conversor es monótonico.
- Tiempo de establecimiento de un conversor**: Este tiempo mide la velocidad de respuesta de un DAC. En la práctica, es el tiempo que se necesita para ir de  $V_{0b00\dots0}$  a  $V_{0b11\dots1}$ , pues hay que recorrer un tramo en la salida de valor  $(2^N - 1) \cdot V_{LSB}$ , el más largo posible.

Para conocer el origen de cada parámetro, es necesario estudiar cómo se construyen los conversores D/A.

## 2.2 Técnicas de construcción de un DAC

Hay diversos métodos para construir un DAC: resistencias o capacidades escaladas, cadena de  $2^N$  resistencias, espejos de corriente, etc. Sin embargo, la manera más habitual de construir un conversor es por medio de la red R/2R en escalera.

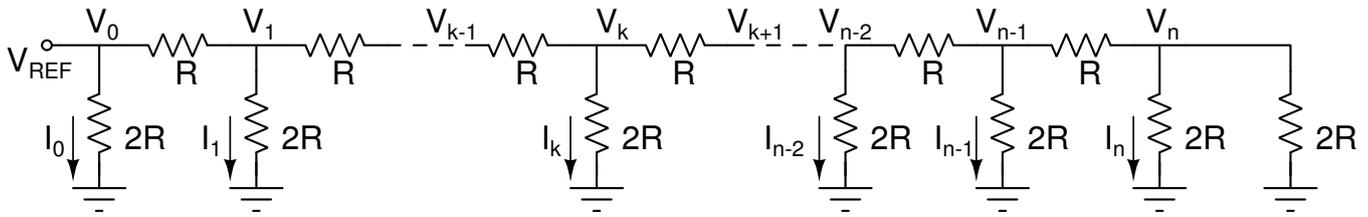


Figura 2: Red  $R/2R$  en escalera.  $V_{REF}$  es una referencia de tensión externa. De una manera más general, podemos identificar  $V_{REF}$  con  $V_{REF,+}$  y tierra con  $V_{REF,-}$ .

### 2.2.1 Red $R/2R$ en escalera (nociones básicas)

La red que recibe este nombre se muestra en Fig. 2. Esta red tiene  $n + 1$  nudos unidos consecutivamente con resistencias de valor arbitrario  $R$  y a tierra con resistencias de valor  $2R$ . Las únicas excepciones son los nodos extremos,  $0$  y  $n$ , como se puede ver en la figura. En total, si hay  $n + 1$  nudos, debe haber  $n$  resistencias de valor  $R$  y  $n + 2$  de valor  $2R$ .

Este circuito puede resolverse fácilmente por el método de los nudos. En primer lugar, es evidente que  $V_0 = V_{REF}$ . Por otro lado:

$$\frac{V_{n-1} - V_n}{R} = \frac{V_n}{2R} + \frac{V_n}{2R} \rightarrow V_{n-1} = 2 \cdot V_n$$

y, finalmente, en los nudos intermedios:

$$\frac{V_{k-1} - V_k}{R} = \frac{V_k}{2R} + \frac{V_k - V_{k+1}}{R} \rightarrow 5 \cdot V_k = 2 \cdot (V_{k+1} + V_{k-1})$$

Podemos postular directamente que la solución de este sistema de ecuaciones es

$$V_k = 2^{-k} \cdot V_{REF} \quad (13)$$

que satisface las tres posibles ecuaciones:

- $V_0 = 2^{-0} \cdot V_{REF} = 1 \cdot V_{REF} = V_{REF}$
- $V_{n-1} = 2^{-(n-1)} \cdot V_{REF} = 2 \cdot 2^{-n} \cdot V_{REF} = 2 \cdot V_n$
- $2 \cdot (V_{k+1} + V_{k-1}) = 2 \cdot (2^{-(k+1)} \cdot V_{REF} + 2^{-(k-1)} \cdot V_{REF}) = 2 \cdot 2^{-k} \cdot V_{REF} \cdot (2^{-1} + 2^1) = 2 \cdot 2^{-k} \cdot V_{REF} \cdot \frac{5}{2} = 5 \cdot 2^{-k} \cdot V_{REF} = 5 \cdot V_k$

Habría que demostrar que esta solución es única pero no se hará para no entretenernos en exceso. Baste decir que existen otros medios de demostrarla. Así, por ejemplo, puede hallarse por inducción que, a la derecha de todo nudo siempre hay una red cuya impedancia Thévenin equivalente es  $2R$ . Esto permitiría llegar sin dificultad a Eq. 13. Una consecuencia importante de este hecho es que la impedancia que ve  $V_{REF}$  es siempre  $R$  independientemente del número de elementos que tenga la red en escalera.

En cualquier caso, no nos interesan las tensiones sino las corrientes que fluyen a través de las resistencias  $2R$ . Aplicando Ohm, se concluye que la corriente que fluye a tierra a través de estas resistencias es:

$$I_k = \frac{V_k}{2R} = 2^{-k} \cdot \frac{V_{REF}}{2R} \quad (14)$$

Además,  $I_{k+1} = \frac{1}{2} I_k$ . Cada corriente es la mitad de la de la rama a su izquierda y el doble de la de su derecha. Este escalado nos permitirá construir fácilmente conversores D/A pues las corrientes de rama se suman de manera natural en el nudo de tierra, que es donde convergen todas.

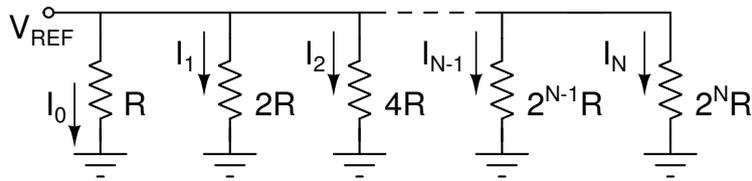


Figura 3: Red de resistencias escaladas. Como en el caso de Fig. 2,  $V_{REF}$  es una referencia de tensión externa y podemos identificar  $V_{REF}$  con  $V_{REF,+}$  y tierra con  $V_{REF,-}$ .

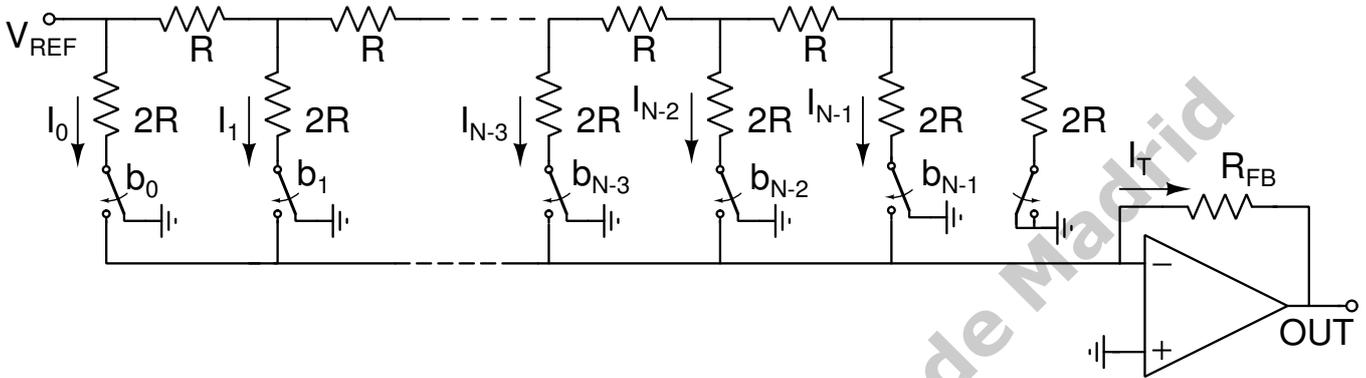


Figura 4: Red R/2R en escalera con amplificador operacional. La estructura corresponde a un DAC de N bits siendo  $b_0$  el bit más significativo.

Digamos, sin embargo, que es posible obtener el mismo resultado usando «**resistencias escaladas**», como se muestran en Fig. 3. En esta red, también se cumple Eq. 14. Por otro lado, la impedancia que ve  $V_{REF}$  es:

$$\frac{1}{Z_{IN}} = \frac{1}{R} + \frac{1}{2R} + \frac{1}{4R} + \dots + \frac{1}{2^N R} = \frac{1}{R} \sum_{k=0}^N 2^{-k} = \frac{2}{R} (1 - 2^{-(N+1)}) \rightarrow Z_{IN} = \frac{R}{2} \cdot \frac{1}{1 - 2^{-(N+1)}}$$

No obstante, no se suele usar pues habría importantes diferencias entre las resistencias de extremos opuestos de la red. Así, en el caso de que  $N = 12$  y  $R = 10 \text{ k}\Omega$ , la resistencia del otro extremo sería  $2^{12} \cdot 10 = 40.96 \text{ M}\Omega$ , imposible de construir con el precisión en un circuito integrado. Si, por el contrario, bajáramos el valor de  $R$  hasta, p. e.  $100 \Omega$ , la resistencia mayor valdría  $409.6 \text{ k}\Omega$ , que es factible. Sin embargo, iestaríamos forzando a  $V_{REF}$  a dar una corriente muy elevada! En cambio, es perfectamente factible diseñar redes R/2R con valores de resistencias fáciles de construir en circuitos integrados y con gran precisión. Por ejemplo, en el DAC AD5445, de Analog Devices, la red R/2R tiene como base resistencias de  $10$  y  $20 \text{ k}\Omega$ .

### 2.2.2 Red R/2R en el interior de un DAC

La red R/2R básica se puede utilizar para la creación de un DAC introduciendo *switches* SPDT sencillos y un amplificador operacional que funciona como transresistor y que también ofrece una tierra virtual (Fig. 4).

En esta estructura, sea cual sea el estado del *switch*, el extremo inferior de la resistencias  $2R$  está conectado a una tensión de  $0 \text{ V}$ , sea tierra real, sea la tierra virtual. Por tanto, las ecuaciones 13 y 14 siguen vigentes sea cual sea el estado del *switch*.

Las corrientes que llegan a la tierra virtual deben combinarse creando  $I_T$  y continuar su camino a través de  $R_{FB}$ . Puede verse que la aportación de la rama  $k$  a  $I_T$  es  $2^{-k} \cdot \frac{V_{REF}}{2R}$  si  $b_k = 1$ ,

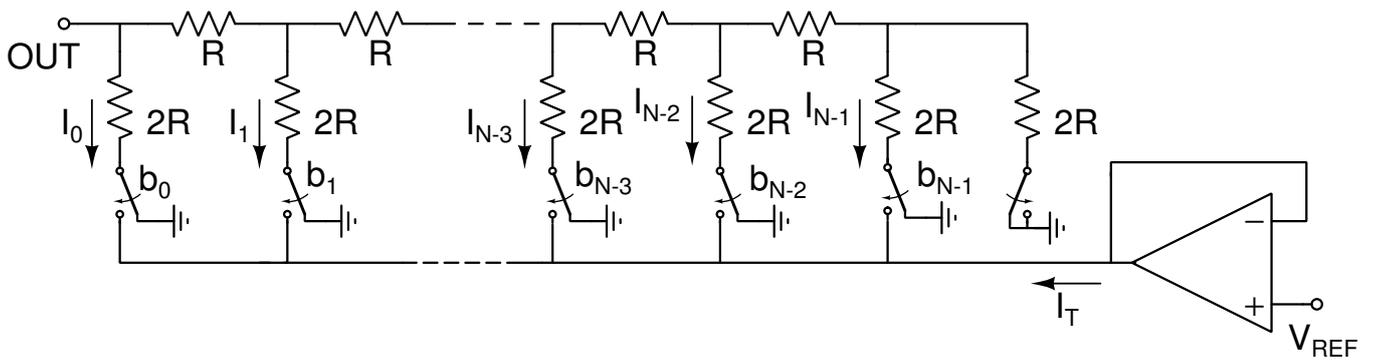


Figura 5: Salida positiva con red R/2R. En esta estructura, la red se usa como un divisor de tensiones controlado digitalmente en lugar de usarlo como divisor de corrientes. La salida, que podría ir reforzada por un seguidor de tensión para evitar efectos de carga, es el valor absoluto de Eq. 16. Ejemplo tomado de «Voltage Mode Multiplying DAC Reference Design», por Kevin Duke, Neeraj Gill.

y 0 si  $b_k = 0$ . O, lo que es lo mismo,  $b_k \cdot 2^{-k} \cdot \frac{V_{REF}}{2R}$ . La corriente  $I_T$  será, entonces:

$$\begin{aligned}
 I_T &= \sum_{k=0}^{N-1} b_k \cdot 2^{-k} \cdot \frac{V_{REF}}{2R} = \frac{V_{REF}}{2R} \cdot 2^{-(N-1)} \cdot \sum_{k=0}^{N-1} b_k \cdot 2^{(N-1)-k} = \\
 &= \frac{V_{REF}}{R} \cdot 2^{-N} \cdot \sum_{k=0}^{N-1} b_k \cdot 2^{N-1-k}
 \end{aligned} \tag{15}$$

Como esa corriente fluye a través de la resistencia  $R_{FB}$ , la tensión de salida será:

$$V_{OUT} = -R_{FB} \cdot I_T = -\frac{R_{FB}}{R} \cdot \frac{V_{REF}}{2^N} \cdot \sum_{k=0}^{N-1} b_k \cdot 2^{N-1-k} \tag{16}$$

Fijémonos en el sumatorio,  $\sum_{k=0}^{N-1} b_k \cdot 2^{N-1-k}$ , que es la regla que permite obtener la expresión decimal de un número natural en formato binario con  $N$  bits. Por ejemplo, el número  $0 \times 53 = 0b\ 0101\ 0011$ , de 8 bits, equivale a:

$$\begin{aligned}
 0 \times 53 &= 0 \cdot 2^7 + 1 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = \\
 &= 64 + 16 + 2 + 1 = 83
 \end{aligned}$$

Y, si identificamos Eq. 3 con Eq. 16, se deduce que

$$V_{LSB} = -\frac{R_{FB}}{R} \cdot \frac{V_{REF}}{2^N} \tag{17}$$

en esta red. Puede verse que, en este caso, la tensión de bit menos significativo es negativa pues la salida decrece aunque aumente su valor absoluto.

### 2.2.3 Puntualizaciones sobre la red R/2R

Detallemos a continuación algunos aspectos de interés relacionados con los conversores construidos con esta estructura.

1. **Multiplying DAC:** En muchos textos, esta estructura se denomina «Multiplying DAC» o DAC multiplicador. El motivo es que puede utilizarse para crear un amplificador con ganancia controlada digitalmente utilizando el terminal REF como una entrada. Así, la relación entrada-salida se transformaría en:

$$V_{OUT} = -\frac{R_{FB}}{R} \cdot \frac{k}{2^N} \cdot V_{IN} \quad (18)$$

2. **Inversión de la salida:** Un inconveniente de la estructura R/2R es que la salida tiene signo negativo y, en muchos casos, esto no interesa. Para solucionarlo, se pueden proponer diversas modificaciones: En primer lugar, utilizar una referencia de tensión,  $V_{REF}$ , negativa. Otra opción es usar algunos DACs en tecnología bipolar, más voluminosos y con mayor consumo pero en los que  $I_T$  es entrante (P. e., el AD565A de Analog Devices). Finalmente, se puede recurrir a modificaciones de la topología básica. Un ejemplo es la estructura mostrada en Fig. 5.
3. **Doble referencia de tensión:** En caso de que se desee utilizar  $V_{REF,+}$  y  $V_{REF,-}$  en lugar de  $V_{REF}$  y tierra, se tiene que reemplazar  $V_{REF}$  por  $V_{REF,+}$  y tierra por  $V_{REF,-}$  teniendo en cuenta que la tierra aparece tanto en la red R/2R como en la entrada no inversora del op amp.
4.  $R_{FB}$ : La resistencia  $R_{FB}$  es crucial para el buen funcionamiento del DAC. Como es necesario que su valor sea controlado con exactitud, el fabricante suele integrarla dentro del dispositivo y hacerla de valor  $R_{FB} = R$  con lo que  $\frac{R_{FB}}{R} = 1$ .
5. **Amplificador operacional transresistor:** En muchos DACs de tecnología bipolar, el amplificador operacional se ha integrado en el dispositivo con lo que se obtiene salida de tensión de manera directa (P. e., AD667 de Analog Devices o DAC7611 de Texas Instruments).
- (a) **No idealidades del conversor:** Es posible determinar a partir de Fig. 4 el origen de las no idealidades del conversor descritas en la sección 2.1. Así, el **error de offset** está directamente relacionado con el op amp (tensión de *offset* de la entrada, corriente de polarización de la entrada inversora) así como de la fuga a través de los *switches*. El **error de ganancia** se relaciona directamente con desviaciones respecto al valor teórico de cada una de las resistencias de valores  $R$ ,  $2R$  y  $R_{FB}$ . Estas desviaciones (no se incluye  $R_{FB}$ , que sólo afecta a la ganancia) explica la **no linealidad** de los DACs. En general, el **tiempo de establecimiento** viene marcado por el *slew rate* del amplificador operacional de apoyo que, en muchos casos, puede elegir el propio diseñador.
- Un punto de interés es la relación entre la monotonicidad del conversor y la tolerancia de las resistencias. Para que el conversor sea monotónico, es necesario que el posible error en el valor de la mayor corriente de rama ( $I_0$ ) sea menor que el valor nominal de la menor corriente de rama ( $I_{N-1}$ ). Si las resistencias se han fabricado con una tolerancia  $\alpha$ , se va a cumplir que:

$$I_0 \pm \Delta I_0 = \frac{V_{REF}}{2 \cdot R \cdot (1 \pm \alpha)} \approx \frac{V_{REF}}{2R} \cdot (1 \mp \alpha) = \frac{V_{REF}}{2R} \mp \frac{\alpha \cdot V_{REF}}{2R} \rightarrow \Delta I_0 = \frac{\alpha \cdot V_{REF}}{2R}$$

$$I_{N-1} = 2^{-N} \cdot \frac{V_{REF}}{R}$$

Si exigimos  $I_{N-1} > \Delta I_0$ , se debe cumplir  $2^{-N} > \frac{1}{2} \alpha \rightarrow N < 1 - \log_2 \alpha$ . Así, si disponemos de una tecnología que nos permita crear resistencias con una tolerancia del 1‰ ( $\alpha = 0.001$ ), sólo podemos garantizar la monotonicidad de conversores de 10 bits ( $N < 1 - \log_2 0.001 = 10.96 \dots$ ).

## 2.3 Usos de los DACs

El último punto que nos plantearemos es saber cuál es el objetivo de los conversores D/A. Evidentemente, existe una respuesta fácil: cuando se desee disponer de una tensión o corriente controlable digitalmente. Esto puede ocurrir en casos como:

- **Fuentes de tensión o corriente controladas:** Si al DAC le añadimos una etapa de salida eficiente, se puede crear fácilmente una fuente de tensión o corriente controlable desde un microcontrolador. Un caso especial es el de las fuentes de tensión periódicas cuya salida es una función matemática relativamente complicada.
- **Control de motores:** La velocidad de giro de un motor eléctrico de corriente continua depende de la corriente que atraviese la espira expuesta al campo magnético. Si usamos la espira para realimentar el DAC en lugar de  $R_{FB}$ , la corriente que llega a la espira proveniente de la red R/2R puede controlarse con facilidad y así graduar a voluntad la velocidad del motor. En algunos casos, si el DAC no pudiera proporcionar suficiente corriente, se tendría que optar por obtener una salida de tensión del DAC y crear corriente con, por ejemplo, una estructura cascode activa. Si se desea controlar el sentido de giro, habría que reemplazar  $V_{REF}$  y tierra por  $V_{REF,+}$  y  $V_{REF,-}$ , con  $V_{REF,+} > 0 > V_{REF,-}$ .
- **Sonido:** La reproducción de sonido desde un microcontrolador o procesador exige convertir una señal digital en tensión. El uso del DAC es evidente en este caso. También puede utilizarse para realizar un ajuste automático de la ganancia, como se mostró en Fig. 5.
- **Calibrado automático de sistemas:** Un sistema puede corregir de manera automática la tensión de *offset* intrínseca por medio de un DAC cuya salida controlable se suma a la salida.
- **Pantallas:** La luminosidad de muchos tipos de pantalla se controla por medio de DACs. Va a ocurrir, además, que cada color primario (Rojo, verde, azul) se controla de manera independiente pudiendo ajustar el balance de color.

Hay otras aplicaciones relacionadas con la radio, vídeo, etc. que no se describen en este texto y que el alumno puede investigar por su cuenta. Curiosamente, otra de las aplicaciones de los DACs es exactamente la opuesta: la conversión A/D en un tipo de conversores llamados SAR. El estudio de estos conversores, y de otros tipos más, se abordará en la siguiente sección.

## 3 Conversores A/D

Como en los DACs, en los ADCs se conservan íntegros los conceptos de resolución, tensión del bit menos significativo, referencias de tensión (únicas o duales), multiplexación, etc., que se describieron en la Sección 1.

### 3.1 El ADC ideal

Si suponemos que tenemos un ADC con  $N$  bits de resolución y una única referencia  $V_{REF}$  ( $V_{LSB} = 2^{-N} \cdot V_{REF}$ ), su **salida ideal** será el número entero  $k \in [0, 2^N - 1]$  tal que:

$$k - \frac{1}{2} < \frac{V_{IN}}{V_{LSB}} < k + \frac{1}{2} \quad (19)$$

En otras palabras, se expresa la tensión de entrada en unidades LSB y se redondea al entero más próximo. Se pueden hacer algunas precisiones adicionales sobre esta definición:

- Eq. 19 presenta dos excepciones:  $0b0\dots00$  y  $0b1\dots11$ . Ambos valores son extremos y marcan los niveles de saturación de la salida. Se obtiene salida nula ( $0b0\dots00$ ) si la tensión de entrada está por debajo de  $0.5 \cdot V_{LSB}$ . Y se obtiene salida máxima ( $0b1\dots11$ ) si  $V_{IN} > V_{REF} - 1.5 \cdot V_{LSB}$ .
- En caso de haya una referencia dual, Eq. 19 se convierte en:

$$k - \frac{1}{2} < \frac{V_{IN} - V_{REF,-}}{V_{LSB}} < k + \frac{1}{2} \quad (20)$$

con  $V_{LSB} = 2^{-N} \cdot (V_{REF,+} - V_{REF,-})$ .

Un conversor ADC se caracteriza por tomar datos con un intervalo de valor  $T_S$ . El inverso de este valor es la frecuencia de muestreo,  $f_S = T_S^{-1}$ , que suele expresarse en unidades *sps*, acrónimo de *samples per second* (muestras por segundo). Esta unidad, que es equivalente al herzio aunque indicando con claridad que se refiere específicamente a la toma de muestras, tiene también múltiplos como el *ksps*, *Mpsps*, *Gpsps*, etc.

## 3.2 No idealidades de los ADC

### 3.2.1 Errores de *offset* y de ganancia

A semejanza de los DACs, es posible definir estos dos errores en los ADCs. Como sabemos que la transición  $0b0\dots00 \rightarrow 0b0\dots01$  se produce idealmente cuando  $V_{IN,0}^{TEO} = 0.5 \cdot V_{LSB}$ , se debería medir experimentalmente la tensión real a la que se produce esta transición,  $V_{IN,0}^{REA}$ , y usar la desviación respecto del valor teórico para estimar el **error de *offset***:

$$E_{OS} = \frac{V_{IN,0}^{REA}}{V_{LSB}} - \frac{1}{2} \quad (21)$$

Análogamente, como la transición  $0b1\dots110 \rightarrow 0b1\dots111$  se produce cuando la tensión de entrada es  $V_{IN,FS}^{TEO} = (2^N - \frac{3}{2}) \cdot V_{LSB}$ , se cumpliría que  $V_{IN,FS}^{TEO} - V_{IN,0}^{TEO} = (2^N - 2) \cdot V_{LSB}$ . De este modo, si observamos que la transición se produce cuando la entrada vale  $V_{IN,FS}^{REA}$ , se definiría el **error de ganancia** como:

$$E_{GN} = \frac{V_{IN,FS}^{REA} - V_{IN,0}^{REA}}{V_{LSB}} - (2^N - 2) \quad (22)$$

Ocurre, sin embargo, que estas definiciones son difíciles de medir pues es muy complejo determinar exactamente a qué valor se produce la transición. Es por ello necesario buscar definiciones alternativas. Una forma muy simple de obtener ambos valores consiste en:

- Introducir valores conocidos con precisión en la entrada y medir la salida proporcionada por el ADC. De este modo, se obtiene un conjunto de pares ordenados  $(V_{IN}, k)$ . Se pueden coger tantos puntos como se deseen pero es importante que haya valores de  $V_{IN}$  tanto cerca de 0 V ( $k \sim 0$ ) como de  $V_{REF}$  ( $k \sim 2^N - 1$ ).
- Representar gráficamente  $(V_{IN}/V_{REF}, k)$ . Idealmente, los puntos deberían estar distribuidos a lo largo de la recta  $y = 2^N \cdot x$ .
- Realizar un ajuste por mínimos cuadrados de los puntos  $(V_{IN}/V_{REF}, k)$  a una recta. Ésta tendría como expresión  $y = A \cdot x + B$ .
- Identificar  $B$  con  $E_{OS}$  y  $A$  con  $2^N + E_{GN}$ .

Si bien es cierto que estas dos identificaciones no son rigurosas, el proceso de cálculo es muy sencillo y el resultado va a ser muy cercano con lo que este procedimiento puede usarse sin mayor problema.

El valor  $E_{OS} + E_{GN}$  es el error que se comete con el máximo valor de entrada y se denomina «**error a fondo de escala**».

### 3.2.2 DNL e INL

Aunque es posible definir estos parámetros de manera similar a la de los DACs, sería necesario determinar con exactitud donde se producen todas las transiciones en la salida. Esto es algo inviable por lo que, en la práctica, son parámetros que no se pueden calcular con rigor. Es posible, sin embargo, realizar una estimación de la **INL** a partir del ajuste lineal que permite el cálculo de  $E_{OS}$  y  $E_{GN}$ . Así, podríamos calcularla como  $\max \left[ \left| k - A \cdot \frac{V_{IN}}{V_{REF}} - B \right| \right]$ .

### 3.2.3 Error máximo

Este parámetro indica el máximo error que se produce incluyendo todos los errores que se han mencionado en los dos apartados anteriores. Se calcula a partir del conjunto de puntos experimentales  $(V_{IN}, k)$  como  $\max [|V_{IN} - k \cdot V_{LSB}|]$  y se expresa bien en unidades LSB, bien en tantos por ciento respecto al fondo de escala.

### 3.2.4 Códigos perdidos (*missing codes*)

En los ADCs reales, existe la posibilidad de que un determinado valor de salida jamás aparezca. Esto puede observarse del siguiente modo. Imaginemos que excitamos la entrada del ADC, que tiene  $N$  bits de resolución, con una señal triangular con valores extremos<sup>2</sup> 0 V y  $V_{REF}$ . Tomamos un número de muestras,  $M$ , muy elevado pues se debe cumplir que  $M \gg 2^N$ . En estas circunstancias, cada número debería aparecer un  $2^{-N} \cdot M$  veces. Como esto es un proceso estadístico, gobernado por la aleatoriedad, es posible que haya fluctuaciones que se pueden estimar de manera aproximada con la distribución de Poisson<sup>3</sup>. Así, es razonable que cada posible valor de salida aparezca  $2^{-N} \cdot M \pm 2 \cdot \sqrt{2^{-N} \cdot M}$  veces sin que esto indique que algo funciona mal en el ADC.

Sin embargo, en algunos casos esto no será así. Algunos términos estarán sobrerrepresentados, hecho que indica que puede obtenerse con un intervalo de valores de entrada con una anchura superior que 1 LSB, y otros infrarrepresentados cuando ocurre lo contrario. Es posible, incluso, que algunos términos nunca aparezcan y estos serán los **códigos perdidos**.

La existencia de códigos perdidos es inevitable si la DNL es superior a 1.

### 3.2.5 Tiempos de apertura y conversión

Normalmente, la entrada de un ADC está aislada de la entrada por un circuito S/H. Más aún, algunos conversores necesitan forzosamente este dispositivo. El **tiempo de apertura** se define como el tiempo necesario para capturar el valor de la señal de entrada.

A continuación, esta señal de entrada debe convertirse en un valor numérico. Éste es el **tiempo de conversión**. Obviamente, la frecuencia máxima de trabajo del ADC es la inversa de la suma de ambos tiempos.

Relacionado con el tiempo de apertura, se encuentra el **error de jitter**. Este error se produce si la señal de entrada varía desde que el circuito S/H se abre, que es cuando se debería haber realizado el muestreo ideal, hasta que se cierra, que es cuando se completa la captura.

<sup>2</sup>En la práctica, habría que rebasar ligeramente tierra y  $V_{REF}$  para conseguir abarcar todo el rango de valores de entrada. En otras versiones del test, se utiliza una señal sinusoidal de componente DC y amplitud iguales a  $V_{REF}/2$ .

<sup>3</sup>En una distribución de Poisson, la desviación típica es la raíz cuadrada de la media.

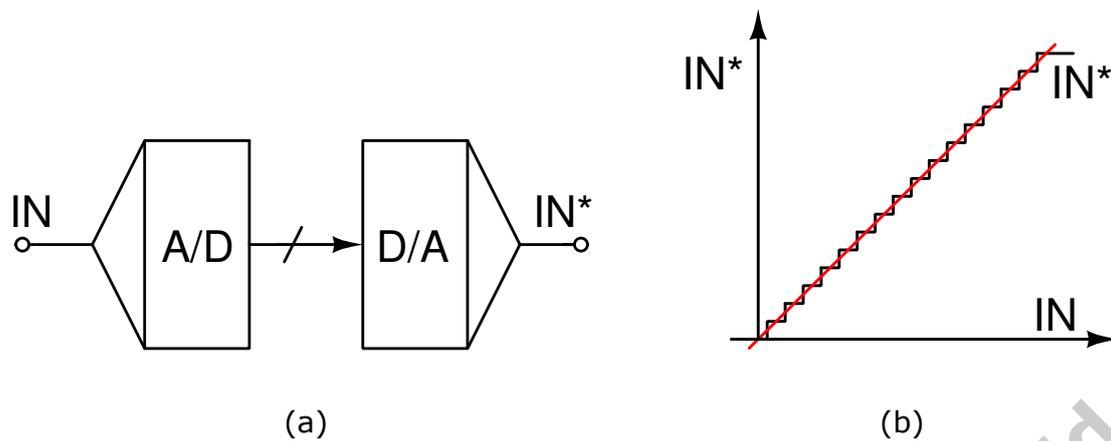


Figura 6: Regeneración de la entrada usando un par de conversores. Esquema circuital (a) y relación entrada-salida (b). En rojo, y sin saltos abruptos, la señal que querríamos obtener, y en negro con discontinuidades lo que realmente obtenemos.

### 3.3 Error y ruido de cuantización

Es evidente que la conversión A/D provoca una pérdida de la información proporcionada por la señal de entrada. El motivo es que, sea cual sea su valor, toda tensión de entrada  $V_{IN} \in V_{LSB} \cdot [k - 0.5, k + 0.5]$  se convierte en  $k$ , siendo este proceso irreversible. Es imposible regenerar la señal original a partir de la salida del ADC.

Procedamos a realizar un experimento mental. Imaginemos que tenemos dos conversores, A/D y D/A, ideales y con la misma resolución,  $N$ , y que se colocan uno a continuación del otro (Fig. 6a). En esta figura, la tensión de entrada es  $V_{IN}$  y la reconstruida  $V_{IN}^*$ . Si hacemos un cuidadoso barrido a lo largo del rango de definición de  $V_{IN}$  y representamos  $V_{IN}^*$  en función de éste, obtendríamos una gráfica similar a la mostrada en Fig. 6b. La señal original ha sido afectada de manera radical.

Para modelar esta pérdida de información, existe consenso en aceptar que el proceso de cuantización introduce una incertidumbre que se puede considerar similar a un ruido, que llamaremos «**ruido de cuantización**». Salta a la vista un fallo en esta aproximación pues, por definición, el ruido es no determinista en tanto que el error de cuantización sí lo es. Si conocemos el valor de la entrada, podemos conocer el valor del ruido de cuantización en todo momento. Sin embargo, soslayar esta inconsistencia lógica nos permite reutilizar todas las herramientas matemáticas que han sido descritas en el tema correspondiente y no tener que desarrollar un nuevo procedimiento matemático. Además, en muchos casos la señal de entrada es desconocida y varía de manera cuasialeatoria por lo que, en la práctica el error de cuantización es desconocido, impredecible y por tanto asimilable a un ruido.

#### 3.3.1 Valor eficaz del ruido de cuantización

Imaginemos que ampliamos Fig. 6b para observar un único intervalo de cuantización (Fig. 7a). El error de cuantización está acotado por  $\pm \frac{1}{2} V_{LSB}$  y, representado en función de  $V_{IN}$ , se obtendría Fig. 7b. El error es nulo si  $V_{IN} = k \cdot V_{LSB}$  y máximo si  $V_{IN} = k \cdot V_{LSB} \pm \frac{1}{2} V_{LSB}$ . Si elegimos de manera arbitraria valores de  $V_{IN}$ , se obtendrían valores aleatorios del error de cuantización siendo igualmente probables todos los valores dentro del intervalo.

Podemos modelarlo matemáticamente de una manera sencilla. Así, la probabilidad de obtener un valor en el intervalo  $[x, x + dx] \subset [-\frac{1}{2} V_{LSB}, \frac{1}{2} V_{LSB}]$  es  $pr(x) \cdot dx$ , con:

$$pr(x) = \begin{cases} 1/V_{LSB} & \text{si } x \in [-\frac{1}{2} V_{LSB}, \frac{1}{2} V_{LSB}] \\ 0 & \text{si } x \notin [-\frac{1}{2} V_{LSB}, \frac{1}{2} V_{LSB}] \end{cases} \quad (23)$$

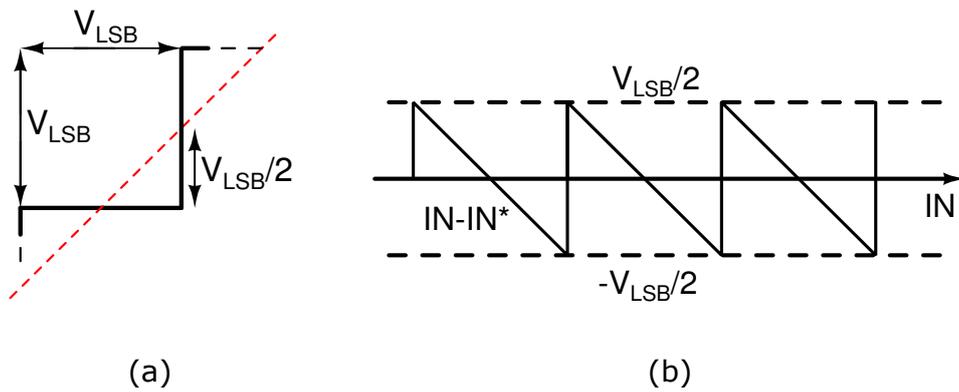


Figura 7: Intervalo de cuantización en la salida (a). Error de cuantización en función del valor de entrada (b).

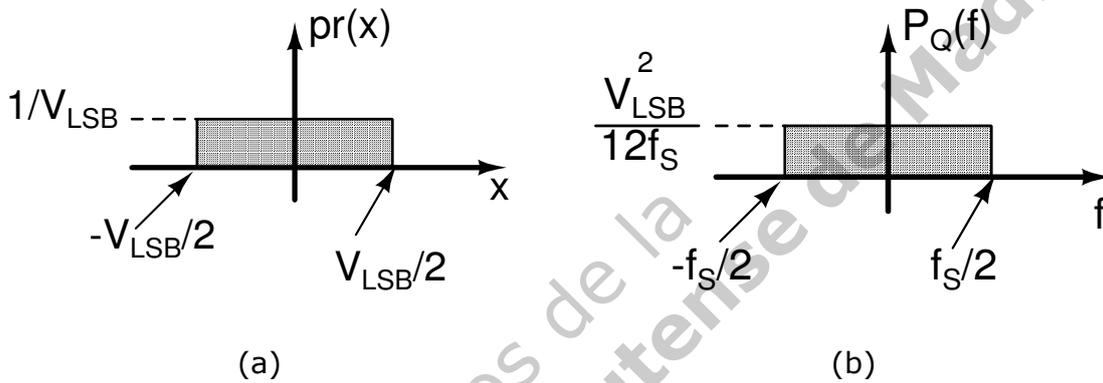


Figura 8: Distribución de probabilidad asociada al ruido de cuantización (a). Distribución espectral del ruido de cuantización según el modelo estándar (b).

La representación gráfica de esta distribución de probabilidad se muestra en Fig. 8a. Esta función de probabilidad cumple con los requisitos matemáticos necesarios: Está definida para todo el rango de valores posibles, que es la recta real, y la probabilidad del suceso seguro es 1 pues:

$$\int_{-\infty}^{\infty} pr(x) dx = \int_{-0.5V_{LSB}}^{0.5V_{LSB}} \frac{1}{V_{LSB}} dx = \frac{1}{V_{LSB}} [x]_{-0.5V_{LSB}}^{0.5V_{LSB}} = \frac{1}{V_{LSB}} [0.5V_{LSB} - (-0.5V_{LSB})] = 1$$

Calculemos los momentos de la distribución: valor medio,  $\langle x \rangle$ , valor cuadrático medio,  $\langle x^2 \rangle$ , varianza,  $\sigma^2$  y desviación típica,  $\sigma$ :

$$\langle x \rangle = \int_{-\infty}^{\infty} x \cdot pr(x) dx = \int_{-0.5V_{LSB}}^{0.5V_{LSB}} \frac{x}{V_{LSB}} dx = \frac{1}{V_{LSB}} \left[ \frac{1}{2} x^2 \right]_{-0.5V_{LSB}}^{0.5V_{LSB}} = 0$$

Esto es lógico pues, como la distribución de probabilidad es simétrica, su media es nula.

$$\begin{aligned} \langle x^2 \rangle &= \int_{-\infty}^{\infty} x^2 \cdot pr(x) dx = \int_{-0.5V_{LSB}}^{0.5V_{LSB}} \frac{x^2}{V_{LSB}} dx = \frac{1}{V_{LSB}} \left[ \frac{1}{3} x^3 \right]_{-0.5V_{LSB}}^{0.5V_{LSB}} = \\ &= \frac{1}{3V_{LSB}} \cdot \left[ \left( \frac{1}{2} V_{LSB} \right)^3 - \left( -\frac{1}{2} V_{LSB} \right)^3 \right] = \frac{1}{12} V_{LSB}^2 \\ \sigma^2 &= \langle x^2 \rangle - \langle x \rangle^2 = \frac{1}{12} V_{LSB}^2 \end{aligned}$$

$$\sigma = \frac{1}{\sqrt{12}} V_{LSB}$$

En las distribuciones de probabilidad, se cumple que la mayor parte de los valores posibles se agrupan dentro del intervalo  $\langle x \rangle \pm \sigma$ . Y así ocurre en la distribución asociada al error de cuantización pues en este intervalo aparece una fracción  $\frac{1}{\sqrt{3}} \approx 58\%$ . Por otra parte, recordemos que el ruido eléctrico hace que una tensión perfectamente definida,  $V_X$ , tome valores aleatorios en el intervalo  $V_X \pm v_n$ , donde  $v_n$  es el valor eficaz del ruido eléctrico. Salta a la vista que podemos hacer una identificación directa entre  $\sigma$  y  $v_n$ . Así, vamos a postular que  $\sigma = \frac{1}{\sqrt{12}} V_{LSB}$  es el valor eficaz de un ruido llamado de cuantización. Obsérvese que es menor cuanto mayor sea la resolución del ADC.

### 3.3.2 Espectro en frecuencia del ruido de cuantización

El siguiente paso que se debe dar para completar el modelado del error de cuantización consiste en definir cómo se comporta en el dominio en frecuencia. En otras palabras, habría que buscar la función  $P_Q(f)$  que nos permitiría encontrar el error (ruido) de cuantización. Esta función tiene las siguientes propiedades:

1. Debe tener unidades de  $V^2/Hz$ . Aceptamos esto y no su equivalente,  $I^2/Hz$ , pues los ADCs suelen trabajar únicamente con señales de tensión.
2. La integral en todo el espectro de frecuencias debe darnos el valor eficaz del ruido de cuantización. O, mejor dicho, su cuadrado:

$$\int_{-\infty}^{\infty} P_Q(f) \cdot df = \frac{V_{LSB}^2}{12}$$

3. Todo ADC trabaja muestreando la señal de entrada con una frecuencia de muestreo  $f_S$ . De acuerdo con el teorema de Nyquist, esto nos permite trabajar con señales cuyo espectro no vaya más allá de  $f_S/2$ . Cualquier otra componente nos debe resultar indiferente pues nunca podríamos reconstruirla. En consecuencia, postularemos que el ruido de cuantización, que está relacionado con la señal de entrada, se concentra en el intervalo  $\pm f_S/2$ . Fuera de él, no hay nada.
4. Dentro del intervalo, supondremos que el ruido de cuantización es blanco, mucho más fácil de modelar matemáticamente.

Teniendo en cuenta estos puntos, propondremos que el ruido de cuantización tiene la siguiente distribución espectral:

$$P_Q(f) = \begin{cases} \frac{V_{LSB}^2}{12f_S} & \text{si } x \in [-\frac{1}{2}f_S, \frac{1}{2}f_S] \\ 0 & \text{si } x \notin [-\frac{1}{2}f_S, \frac{1}{2}f_S] \end{cases} \quad (24)$$

Esta función se muestra en Fig. 8b y cumple con todos los requisitos enunciados anteriormente. El único que requiere explicación sería el segundo punto:

$$v_{n,eff}^2 = \int_{-\infty}^{\infty} P_Q(f) \cdot df = \int_{-f_S/2}^{f_S/2} \frac{V_{LSB}^2}{12f_S} \cdot df = \frac{V_{LSB}^2}{12f_S} \cdot \int_{-f_S/2}^{f_S/2} df = \frac{V_{LSB}^2}{12f_S} \left[ \frac{f_S}{2} - \left( -\frac{f_S}{2} \right) \right] = \frac{V_{LSB}^2}{12} \quad (25)$$

Aunque se hayan hecho muchas suposiciones para proponer este modelo, la experiencia ha demostrado que describe eficazmente los efectos del error de cuantización en los ADCs. Este modelo del ruido permite describir con acierto el principio de funcionamiento de los convertidores sobremuestreados, que se estudiarán en las próximas secciones. Por el momento, utilizaremos este modelo para predecir cómo afecta la cuantización a la relación señal-ruido y para determinar el número efectivo de bits de un ADC.

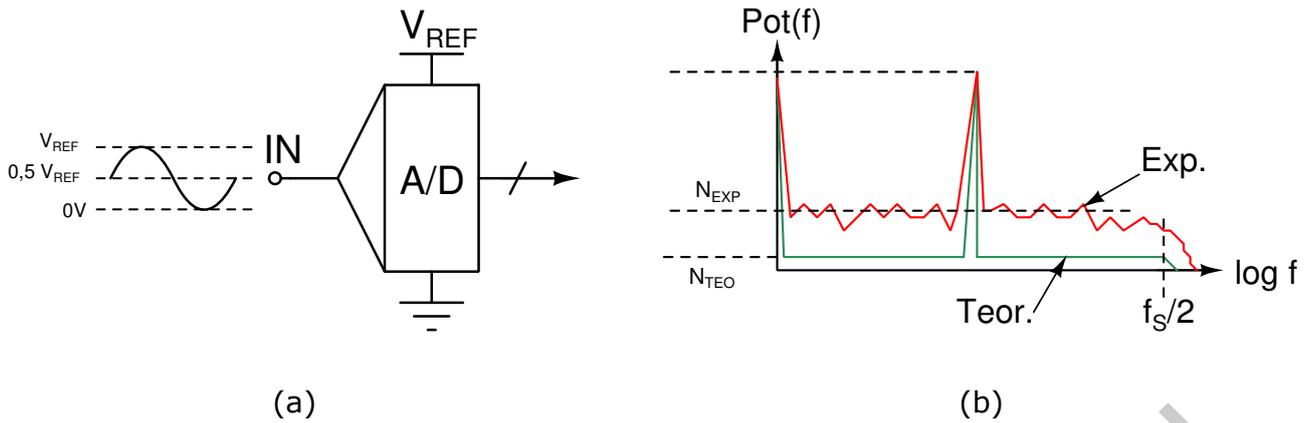


Figura 9: Experimento ideal para determinar el valor de la SNR del ruido de cuantización (a). Espectros ideal (verde) y real (rojo), ceñidos al intervalo marcado por la mitad de la frecuencia de muestreo (b).

### 3.3.3 Relación señal-ruido de cuantización. Número efectivo de bits

Vamos realizar un experimento ideal. Supongamos que disponemos de un ADC ideal con una resolución de  $N$  bits, con una única referencia  $V_{REF}$ , que se excita con una señal sinusoidal de amplitud  $\frac{1}{2}V_{REF}$  y centrada en  $\frac{1}{2}V_{REF}$  (Fig. 9a). De este modo, se abarca todo el rango de posibles valores de la entrada.

Como la señal de entrada es un seno, el valor eficaz en AC es igual a su amplitud dividida por  $\sqrt{2}$ . Por tanto, la **relación señal-ruido de cuantización** es:

$$SNR_Q = \frac{V_{REF}/2\sqrt{2}}{V_{LSB}/\sqrt{12}} = \frac{\sqrt{12}}{2\sqrt{2}} \cdot \frac{V_{REF}}{V_{REF}/2^N} = \sqrt{\frac{3}{2}} \cdot 2^N$$

Normalmente, esta relación se suele expresar en dB. Hay que extraer su logaritmo decimal y multiplicar por 20:

$$\begin{aligned} SNR_Q (dB) &= 20 \cdot \log \left( \sqrt{\frac{3}{2}} \cdot 2^N \right) = \\ &= 20 \cdot \log \left( \sqrt{\frac{3}{2}} \right) + 20 \cdot \log (2^N) = 10 \cdot \log \left( \frac{3}{2} \right) + N \cdot 20 \cdot \log (2) \approx 1.76 + 6.02 \cdot N \end{aligned} \quad (26)$$

Esta ecuación tan simple nos permite calcular la máxima SNR alcanzable en función de la resolución del ADC. A la inversa, nos permite establecer un criterio para elegir la resolución del ADC que necesitamos. Si tenemos como requerimiento que la SNR de un sistema de instrumentación sea de 70 dB, la ecuación anterior debe cumplirse. Por tanto, habría que disponer de un ADC con una resolución mínima de  $(70 - 1.76) / 6.02 = 11,33$ . Es decir, 12 bits. Posiblemente, haya que utilizar más para compensar el resto de fuentes de ruido del sistema.

Otro uso que se le puede dar a la relación señal-ruido es el cálculo del **número efectivo de bits** de un ADC. Eq. 26 nace de suponer que el ADC ha sido construido de manera ideal de modo que la cuantización se realiza homogéneamente como indica Eq. 19. Así, los valores de INL y DNL serían nulos, no habría códigos perdidos, etc. Sin embargo, ¿qué ocurre si el ADC es real?

Si realizáramos el experimento esbozado en Fig. 9a y sacáramos el espectro en frecuencia de la señal reconstruida con un DAC ideal, obtendríamos una figura con dos picos, uno en  $f = 0$  (Componente DC) y otro centrado en  $f_A$ , siendo ésta la frecuencia de oscilación de la señal. Ambos picos tendrían una altura similar,  $V_{REF}/2$ . En el resto del espectro, el espectro tendría un valor constante asociado al ruido de cuantización (Fig. 9b, verde). Sin embargo, en la práctica, este nivel de ruido sería algo mayor debido a que el ADC no es ideal. Si calculamos la potencia total de este ruido y calculamos la relación señal-ruido experimental,  $SNR_{Q,EXP}$ ,

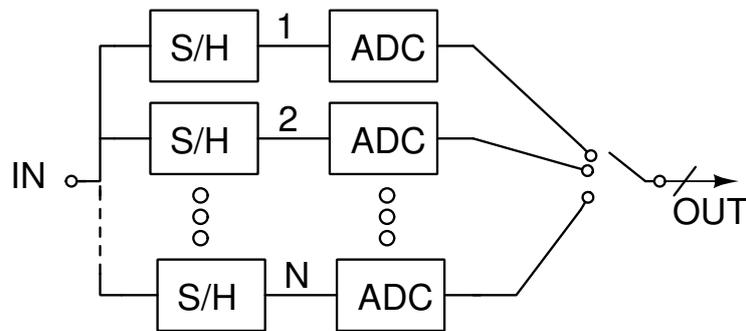


Figura 10: Esquema de un ADC con intervalo temporal.

que siempre será menor que  $SNR_{Q,TEO}$ , podremos invertir Eq. 26 para determinar el número efectivo de bits del ADC, definido como:

$$N_{EFF} = \frac{SNR_{Q,EXP} (dB) - 1.76}{6.02} \quad (27)$$

A diferencia de otros parámetros, éste sí que puede medirse experimentalmente con relativa facilidad.

### 3.4 Técnicas de construcción de ADCs

Cuando estudiamos cómo se construían los DACs, se pudo ver, que en la práctica, había una técnica (red R/2R) que se había impuesto al resto de estrategias. Esto no ocurre en el caso de los ADCs, en los que las técnicas de construcción son variadas con diversos pros y contras y ámbitos de aplicación bien definidos.

En general, los ADCs se van a clasificar en dos grandes familias:

- **Convertidores tipo Nyquist:** Cada vez que se muestrea la señal, se ofrece un valor de salida.
- **Convertidores sobremuestreados:** Se necesita muestrear muchas veces la señal antes de ofrecer un único valor de salida.

Es evidente que los primeros son más rápidos que los segundos pues, a igual velocidad de muestreo de la señal, los convertidores ofrecen más valores de salida. La frecuencia máxima de muestreo viene determinada por el inverso de la suma de los tiempos de apertura y de conversión del ADC. En caso de que quisiéramos aumentar la frecuencia efectiva de conversión, se puede recurrir a los convertidores llamados «**con intervalo temporal**» (*Time-interleaved ADCs*) frente a los **ADCs simples**. Los ADCs con intervalo temporal están formados por varios convertidores simples que trabajan por relevos (Fig. 10). La idea es sencilla: Si cada convertidor requiere un tiempo  $T_D$  para realizar la conversión y transferir la entrada a la salida, coloquemos  $N$  ADCs que trabajen con un retraso entre cada ADC y el siguiente de valor  $T_D/N$ . Cada vez que se complete la conversión, se transferirá el valor a la salida y se comenzará de nuevo la conversión. El valor del retraso evita que los ADCs se interfieran entre sí.

Con esta estrategia se realizarán  $N$  conversiones efectivas en el tiempo que tarda un convertidor solitario en completar una única conversión. Se consigue, de este modo, aumentar  $N$  veces la frecuencia máxima de trabajo del convertidor. Se suele hacer que  $N$  sea una potencia de 2 (2, 4, 8, 16,...), fácilmente controlables con un contador de 1, 2, 3, 4, ... bits.

Una vez concluido este inciso, procedamos a estudiar las dos grandes familias de convertidores simples: Tipo Nyquist y sobremuestreados.

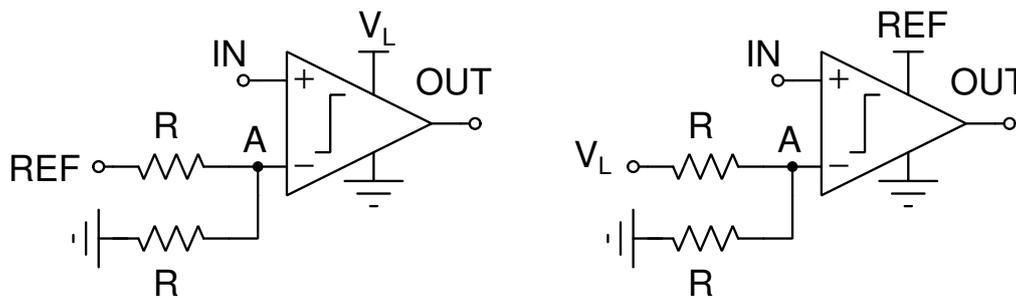


Figura 11: Comparador de tensión configurado como ADC de 1 bit (a). Cambiando de posición la tensión de referencia y la alimentación lógica, se convierte en un DAC de 1 bit (b).

### 3.4.1 Conversores tipo Nyquist

Las técnicas de construcción de estos conversores son variadas y sería absurdo estudiar todas las técnicas que existen y sus distintas variedades. Nos ceñiremos a las más habituales o de interés académico: Flash, pipeline, SAR e integrador. No se estudiarán técnicas alternativas como, p. e., los conversores algorítmicos, doblados, etc.

**3.4.1.1 El comparador de tensión como ADC (o DAC)** Antes de abordar como se construyen los ADCs habituales, resaltaremos un importante resultado: Un comparador de tensión puede funcionar como un ADC de 1 bit (Fig 11a) suponiendo que la tensión de referencia efectiva es  $2 \cdot V_{REF}$ . En un conversor de 1 bit,  $V_{LSB} = \frac{1}{2} \cdot 2 \cdot V_{REF} = V_{REF}$ , y los valores posibles están en el rango  $k \in [0, \dots, 2^1 - 1] \equiv [0, 1]$ . En Fig. 11a se puede ver que  $V_A = \frac{1}{2} V_{REF}$  y que la salida es «1» si  $V_{IN} > \frac{1}{2} V_{REF}$  y «0» en caso contrario. Está, por tanto, realizando una codificación perfecta según marca Eq. 19.

Sin embargo, no sólo funciona como un ADC sino también como un DAC de 1 bit. En este caso, habría que intercambiar los roles de REF y de  $V_L$  (Fig. 11b). En esta estructura,  $V_A = \frac{1}{2} \cdot V_L$  con lo que, si  $V_{IN} = V_L \equiv 1$ , la salida sería  $V_{REF}$  y, si  $V_{IN} = 0 \equiv 0$ , la salida sería 0 V. Por tanto, sería formalmente idéntico a un DAC de 1 bit cuya tensión de referencia efectiva fuera  $2 \cdot V_{REF}$ .

¿Tiene algún sentido utilizar esta identificación desde el punto de vista práctico? Sí. En primer lugar, porque la idea de creación de niveles con los que comparar tensiones vista en el ADC de 1 bit será explorado en la siguiente sección (ADCs tipo flash). En segundo lugar, porque, al tener sólo dos valores de salida, son intrínsecamente lineales ya que, con sólo dos valores posibles de salida, es imposible que haya un tercero fuera de ella. Esto los hace especialmente interesantes para el desarrollo de ADCs sobremuestreados. En particular, para los conversores sigma-delta.

**3.4.1.2 Conversores Tipo Flash** El fundamento de estos conversores consiste en crear una cadena de  $2^N$  resistencias iguales y determinar el valor de la entrada por medio de  $2^N$  comparadores (Fig. 12). Habrá  $2^N - 2$  resistencias iguales de valor  $R$  y 2 resistencias de valor  $R/2$  para crear niveles de tensión de valor  $(k + \frac{1}{2}) \cdot V_{LSB}$ , con  $k \in [0, 1, \dots, 2^N - 1]$ . Gracias a los comparadores, se sabrá cuál es la codificación pues habrá más conversores con salida en alta cuanto mayor sea el valor de  $V_{IN}$ . El conversor  $2^N \rightarrow N$  convierte el número de entradas igual a «1»,  $k$ , en su codificación binaria con  $N$  bits.

Esta estructura tiene las siguientes características:

1. **Velocidad:** En esta estructura, no es necesario realizar muestreo con un circuito S/H y el tiempo de conversión depende de la velocidad de los conversores y de la etapa lógica.

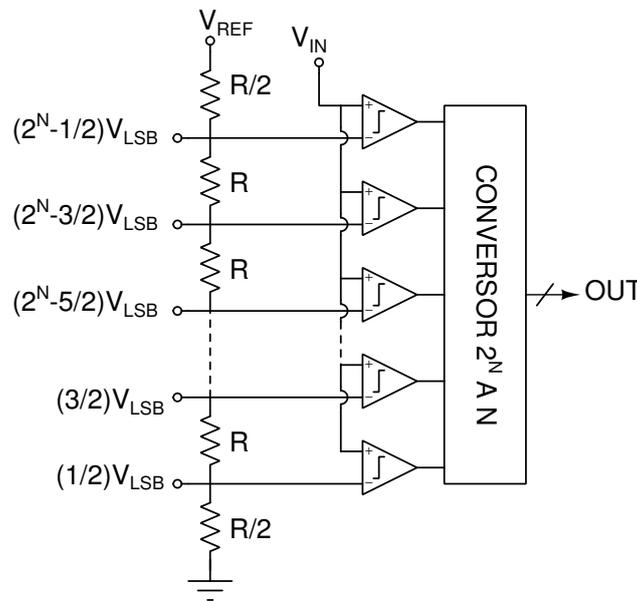


Figura 12: Estructura básica de un convertidor Flash.

Podría decirse que esta estructura es puramente combinatorial. Tanto los comparadores como la etapa lógica pueden hacerse muy rápidos permitiendo velocidades de conversión de 1-2 Gps.

2. **Resolución:** La estructura anterior no permite obtener una resolución muy alta. Por ejemplo, crear un convertidor de 8 bits exigiría la construcción de 256 resistencias y comparadores, que es de por sí un desafío tecnológico. Además, la tensión de *offset* de los comparadores no debería ser superior a  $1 V_{LSB}$  pues se correría el riesgo de que el convertidor no fuera monotónico. En la práctica, no se encuentran convertidores de esta tecnología con más de 8-10 bits de resolución.
3. **Impedancia de entrada:** En estos convertidores, la entrada se encuentra con la entrada no inversora de  $2^N$  convertidores. Como suelen estar contruidos en tecnología CMOS, la impedancia de entrada es de tipo capacitivo y se multiplica por el número de comparadores envueltos. Por este motivo, la entrada debe ser protegida con un seguidor de tensión construido con un op amp de alta velocidad que permita utilizar el ADC a la máxima frecuencia posible: un op amp realimentado por corriente si la entrada es unipolar (LT1395 de Linear Technology, NCS2511 de On Semiconductor, etc.), con un amplificador operacional completamente diferencial (p. e., THS4141 de Texas Instruments) si la salida es diferencial.

Muy populares en los años ochenta, no son fáciles de encontrar como elementos discretos pues han sido desplazados por los convertidores tipo *pipeline*. Valgan como ejemplos los convertidores MAX106, de Maxim Integrated, o AD7829-1, de Analog Devices. Es evidente, por otro lado, que si la principal ventaja de estos dispositivos es la velocidad, no se puede crear un cuello de botella en la salida por lo que todos tienen formato de salida paralelo.

**3.4.1.3 Pipeline o «en tubería»** El problema de los convertidores flash es la creciente complejidad del diseño a medida que se aumenta la resolución del ADC. Este problema se resuelve con la tecnología *pipeline* o «en tubería». En esta tubería, se construyen convertidores flash de poca resolución cuyo error de cuantización se amplifica y se vuelve a codificar.

Fijémonos en la estructura más simple (Fig. 13a). En el primer bloque, la entrada IN se deriva en dos caminos. En primer lugar, se captura su valor con un circuito S/H y, por otro lado,

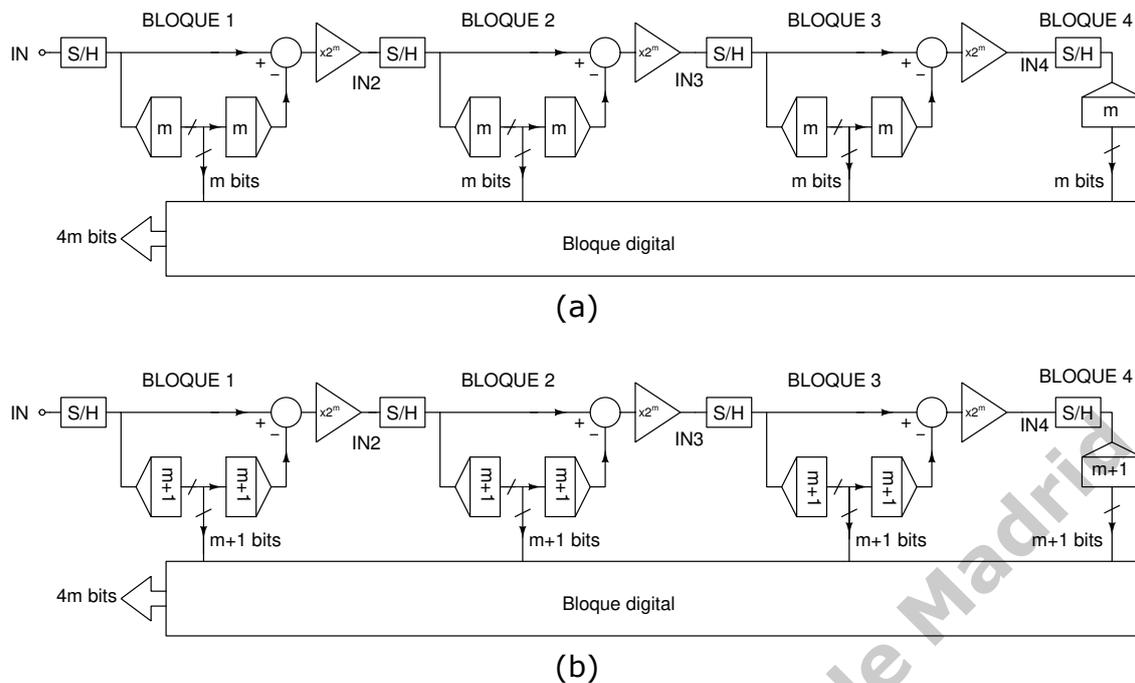


Figura 13: Estructura de un convertidor en tubería que consigue una resolución de  $4 \cdot m$  bits. Estructura simple (a) y con redundancia (b).

se codifica con  $m$  bits a través de un ADC flash. Este código se usa para regenerar la entrada con un DAC de  $m$  bits<sup>4</sup> y ambas tensiones se restan para estimar el error de cuantización. Este error se multiplica por  $2^m$  para generar la señal  $IN_2$ , que se trata en el mismo modo en el segundo bloque. Así, se consiguen otros  $m$  bits de codificación. Este proceso se repite tantas veces como sea necesario hasta llegar al último ADC tipo flash, que no requiere DAC ya que no lo sigue ningún otro bloque. Finalmente, un sistema lógico va registrando las distintas salidas de los bloques y los agrupa para crear una salida digital (En el dibujo, la resolución del ADC flash se ha multiplicado por 4).

El mayor problema de estas estructuras es que cualquier error de las primeras etapas se amplifica sucesivas veces a lo largo de la tubería. Para remediar este problema, se suele utilizar una estructura **redundante** (Fig. 13b). Así, cada convertidor flash producirá  $m + 1$  bits que se envían al bloque lógico. Por otro lado, el error de cuantización sólo se amplifica un factor  $2^m$ . Es posible demostrar que si se usan  $k$  bloques con una resolución parcial  $m + 1$ , se puede obtener una salida de longitud  $k \cdot m$  a partir de las  $k \cdot (m + 1)$  entradas.

Estas estructuras no son tan rápidas como la flash pues requieren tantos pasos como bloques. Sin embargo, una vez que el Bloque 1 ha terminado la cuantización puede muestrear otra señal y pasársela al Bloque 2 cuando éste termina. El Bloque lógico debe ir almacenando los datos que le llegan hasta que se realiza la cuantización final en el último bloque. De este modo, las velocidades de muestreo pueden ser comparables a las de los flash siendo la resolución mucho mayor.

En la práctica, los convertidores tipo tubería han ocupado el nicho de los flash ya que tienen una resolución muy superior con una velocidad suficiente para la mayor parte de los sistemas de alta frecuencia. La variedad de convertidores en tubería es mucho mayor que la de los flash y se da como ejemplo los convertidores AD9695 de Analog Devices, ADS5562 de Texas Instruments, MAX1214 de Maxim Integrated, etc. Como en el caso de los convertidores tipo flash, el formato de salida es en paralelo para aprovechar la enorme velocidad de conversión del dispositivo.

Este tipo de convertidor aparece integrado en algunos microcontroladores, como los PIC32<sup>5</sup>,

<sup>4</sup>Y con un número relativo de bits muy alto, por supuesto.

<sup>5</sup><http://ww1.microchip.com/downloads/en/DeviceDoc/60001194B.pdf>

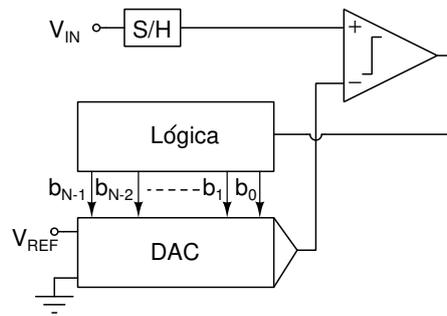


Figura 14: Estructura de un convertor tipo SAR.

aunque lo más habitual es utilizar un convertor tipo SAR que se describirá en el siguiente apartado.

**3.4.1.4 Conversores por aproximaciones sucesivas (Successive Approximation Register, SAR)** Éstos son, con diferencia, los convertidores más populares en el campo de la instrumentación electrónica y de adquisición de datos pues combinan velocidades medias de conversión y una resolución intermedia con un precio realmente competitivo. La idea es bastante fácil de comprender ya que es, simplemente, un proceso de prueba y error.

La estructura típica se muestra en Fig. 14. Sólo se necesita un DAC de  $N$  bits, un comparador, un circuito S/H y un bloque lógico secuencial que implemente una máquina de estados que vaya tomando decisiones a medida que se produce la conversión. Los pasos que dar son los siguientes:

1. Se ponen todas las entradas del DAC a «**0**» y se captura la señal de entrada.
2. Normalmente, la salida del comparador se pondrá a «**1**» pues la salida del DAC es la más baja posible.
3. A continuación, el bloque lógico pone el bit más significativo,  $b_{N-1}$  a «**1**» y todas las demás quedan a «**0**». La salida del DAC se pondrá entonces a  $V_{REF}/2$ .
4. Si  $V_{IN} > V_{REF}/2$ , la salida del comparador continuará a «**1**». Si no, conmutará a «**0**». En caso de que esto último ocurra, el bloque lógico devolverá  $b_{N-1}$  a «**0**».
5. Ahora estudiará el siguiente bit. El bloque lógico pondrá el segundo bit más significativo,  $b_{N-2}$ , a «**1**». Así, la salida del DAC será  $V_{REF}/4$  si  $b_{N-1} = 0$  y  $3 \cdot V_{REF}/4$  si  $b_{N-1} = 1$ . Dicho de otro modo, la salida del DAC será  $V_{DAC} = b_{N-1} \cdot \frac{V_{REF}}{2} + \frac{V_{REF}}{4}$ .
6. Si  $V_{IN} > V_{DAC}$ , el comparador marcará «**1**» y el bloque lógico dejará  $b_{N-2}$  a «**1**» (aún estamos por debajo de su valor). Si, por el contrario,  $b_{N-1} \cdot \frac{V_{REF}}{2} < V_{IN} < V_{DAC}$ , el comparador saltará a «**0**» y el sistema, avisado por este valor, devolverá  $b_{N-2}$  a «**0**».
7. Continuaremos con los pasos 5-6 hasta que alcancemos el bit menos significativo del DAC. En total, se habrán hecho  $N$  ciclos de comparación.

Cada vez que dábamos un paso, reducíamos a la mitad la diferencia entre la salida del DAC y la tensión de entrada,  $|V_{IN} - V_{DAC}| \leq \frac{V_{REF}}{2^k} = 2^{N-k} \cdot V_{LSB}$ , donde  $k$  es el número de paso. Cuando completamos el proceso, la tensión de entrada y la codificada en el DAC no diferirán más de 1 LSB. Procederemos a transferir entonces la palabra lógica  $b_{N-1}b_{N-2} \dots b_0$  a la salida del ADC pues ésta es la codificación de la entrada.

Veamos algunas de las características de estos convertidores:

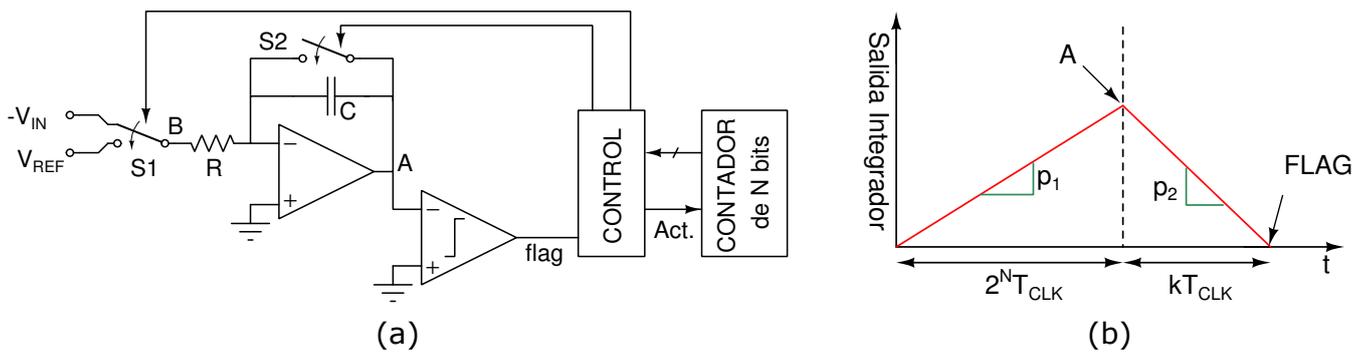


Figura 15: Estructura de un conversor integrador o de doble rampa. Ejemplo de estructura interna (a) y evolución de la salida del amplificador operacional integrador (b).

- **Velocidad:** En general, la velocidad de estos dispositivos está marcada por la velocidad de respuesta del DAC y es proporcional también a la resolución del conversor, pues ésta indica el número de pasos que se deben dar. En principio, los conversores construidos con esta tecnología poseen una velocidad de conversión del orden de 0,1-10 Msps, muy por debajo de las que ofrecen los conversores flash o pipeline aunque suficiente para la mayor parte de los sistemas de instrumentación.
- **Resolución:** La resolución máxima alcanzable con esta tecnología viene marcada por el DAC. Éste no sólo debe tener la misma resolución que el ADC buscado sino que su número relativo de bits debe ser muy alto para evitar introducir errores no lineales en la conversión. En la práctica, la resolución máxima es del orden de 10-14 bits.
- **Complejidad:** Esta estructura permite una fácil ampliación pues aumentar 1 bit la resolución del ADC sólo requiere aumentar la del DAC, hecho que no tiene mayor problema, y que la comparación se haga una vez más. El único límite, como se indicó en el punto anterior, es la calidad del DAC.
- **Coste:** Como el dispositivo es tan sencillo, suelen ser muy baratos. Se pueden encontrar en el mercado DAC tipo SAR por uno o dos euros.

Que sean extremadamente baratos y sencillos de fabricar ha hecho que estos conversores sean los más populares en los sistemas de instrumentación ya que aúnan una velocidad y resolución más que suficientes para la mayor parte de los sistemas junto con un precio muy competitivo. Más aún, la mayor microcontroladores llevan integrados uno o más ADCs tipo SAR, donde el DAC se construye en tecnología CMOS con capacidades escaladas. Véase como ejemplo los microcontroladores ARM32 de ST.

**3.4.1.5 Conversores integradores o de doble pendiente (Dual Slope)** Ésta es una familia de conversores que permiten alcanzar una gran resolución a costa de elevar el tiempo de conversión. Antaño eran muy populares pero ahora van perdiendo terreno ante sus más directos competidores, los conversores sigma-delta.

Fig. 15 nos da un ejemplo de cómo se realiza el proceso. Esta estructura consta de:

- Un integrador con entrada en el nudo B y salida en A. En este bloque, y suponiendo el *switch* S2 en estado de alta impedancia, se va a verificar que:

$$-C \cdot \frac{dV_A}{dt} = \frac{V_B}{R} \rightarrow V_A = -\frac{1}{RC} \int V_B \cdot dt + K.$$

donde  $K$  es la constante de integración. En nuestro caso, es la tensión  $V_A$  en el momento en que se inicia la integración.

- Un comparador que detecta el paso de  $V_A$  por 0 V.
- Un contador de  $N$  bits, que va de 0 a  $2^N - 1$  en  $2^N$  ciclos de reloj. Cada ciclo de reloj tiene un periodo  $T_{CLK}$ .
- Un controlador que gobierna, asimismo, el estado de dos *switches*, S1 y S2.
- Un inversor analógico, que permitió convertir  $V_{IN}$  en  $-V_{IN}$ .

El proceso de conversión es el siguiente:

### Primera parte

1. Se lleva S2 a estado de baja impedancia para descargar el condensador y se vuelve a abrir al cabo de un tiempo prudencial. Se pone a 0 el contador.
2. Se conmuta S1 para conectar B con la tensión de entrada invertida. Así,  $V_B = -V_{IN}$  y el op amp procederá a integrar esta señal. Se activa el contador y se deja que cuente hasta  $2^N - 1$ . Necesitará  $2^N$  ciclos de reloj.
3. Transcurrido este tiempo ( $T_1 = 2^N \cdot T_{CLK}$ ), la salida del integrador será:

$$V_{A,1} = -\frac{1}{RC} \int_0^{T_1} (-V_{IN}) \cdot dt + V_{A,0} = \frac{V_{IN}}{RC} \cdot T_1 + 0 = \frac{V_{IN}}{RC} \cdot 2^N \cdot T_{CLK}.$$

En este intervalo, la tensión  $V_A$  ha crecido a un ritmo (rampa) igual a  $p_1 = \frac{V_{IN}}{RC}$ .

### Segunda parte

1. Devolvemos el contador a 0.
2. Ahora, conmutamos S1 y, al conectarse a  $V_{REF}$ , el condensador procederá a descargarse. Simultáneamente, activaremos el contador.
3. La tensión de salida del integrador evoluciona según la ecuación:

$$V_{A,2} = -\frac{1}{RC} \int_0^t (V_{REF}) \cdot dt + V_{A,T_1} = -\frac{V_{REF}}{RC} \cdot t + \frac{V_{IN}}{RC} \cdot 2^N \cdot T_{CLK}.$$

Esta tensión está decreciendo con un ritmo  $p_2 = -\frac{V_{REF}}{RC}$ .

4. En algún momento, esta tensión se volverá negativa. El comparador detectará el paso por 0 V y avisará al controlador. Éste leerá el contador ( $k$ ), con lo que habrá transcurrido un tiempo  $t \in [k \cdot T_{CLK}, (k+1) \cdot T_{CLK}]$ . ¿Qué es este valor  $k$ ? Como nos ha indicado el momento en que  $V_{A,2} = 0$  V:

$$-\frac{V_{REF}}{RC} \cdot k \cdot T_{CLK} + \frac{V_{IN}}{RC} \cdot 2^N \cdot T_{CLK} = 0 \rightarrow k = 2^N \cdot \frac{V_{IN}}{V_{REF}} = \frac{V_{IN}}{V_{REF}/2^N} = \frac{V_{IN}}{V_{LSB}}$$

En otras palabras,  $k$  es igual al valor de  $V_{IN}$  en unidades LSB y es, por tanto, la codificación de la entrada. Este valor  $k \in [0, 2^N - 1]$  es transferido a la salida del ADC con lo que la conversión finaliza. El lector puede darse cuenta de que se ha producido un redondeo al entero más bajo y no al más próximo. Sin embargo, dado el número tan elevado de bits, este detalle carece de importancia práctica.

Esta técnica de conversión tiene las siguientes características:

- **Resolución y complejidad:** En esta estructura, es posible aumentar la resolución de los convertidores de manera sencilla. Basta con aumentar el rango del contador y compensar el mayor tiempo de integración con valores más altos de  $R$  y  $C$ .
- **Linealidad:** Los convertidores contruidos con esta técnica son muy lineales. Más aún, por definición van a estar **libres de códigos perdidos**.
- **Velocidad:** Éste es su principal talón de Aquiles. Son muy lentos pues el tiempo de conversión aumenta exponencialmente con la resolución. Fijémonos que, en el peor de los casos ( $V_{IN} \sim V_{REF}$ ), se requiere un tiempo  $2^{N+1} \cdot T_{CLK}$ .
- **Eliminación de interferencias:** Gran ventaja de estos convertidores. Imaginemos que sabemos que a la señal de entrada se le superpone una interferencia AC con periodo  $T_I$  y con armónicos de periodo  $\frac{T_I}{m}$ , donde  $m$  es un número natural superior a 2. Si ajustamos el tiempo de integración  $2^N \cdot T_{CLK}$  a este valor, el efecto de la interferencia desaparece tras la integración. Esto se deduce de una propiedad de las funciones trigonométricas:

$$\int_0^{T_I} \cos\left(\frac{2\pi m}{T_I}t + \varphi\right) dt = -\frac{T_I}{2\pi m} \cdot \left[\sin\left(\frac{2\pi m}{T_I}t + \varphi\right)\right]_0^{T_I} = -\frac{T_I}{2\pi m} \cdot \left[\sin\left(\frac{2\pi m}{T_I} \cdot T_I + \varphi\right) - \sin(\varphi)\right] =$$

$$= -\frac{T_I}{2\pi m} \cdot [\sin(\varphi + 2\pi m) - \sin(\varphi)] = -\frac{T_I}{2\pi m} \cdot [\sin(\varphi) - \sin(\varphi)] = 0$$

Una fuente clásica de interferencias son las instalaciones eléctricas con una frecuencia fundamental de 50 Hz. Por este motivo, se suele ajustar el tiempo de integración a 20 ms eliminando su efecto. Evidentemente, la frecuencia de muestreo se reduce enormemente.

Estos convertidores ya no son tan populares como antes. Existen aún algunos modelos en el mercado, como el MAX136 de Maxim Integrated, TC510 de Microchip, TLC7135 de Texas Instruments, etc. Sólo se recomienda su uso para ambientes industriales donde las interferencias eléctricas sean considerables. Por el contrario, ha perdido importancia como convertidor de alta resolución pues existen otros convertidores, llamados sigma-delta, que permiten conseguir los mismos resultados de manera más rápida y eficiente. Estos convertidores no son de tipo Nyquist sino sobremuestreados y se estudiarán en las próximas páginas.

### 3.4.2 Convertidores sobremuestreados

En esta sección, estudiaremos cómo el sobremuestreo mejora la calidad de la conversión. En primer lugar, se investigará el modo en que el sobremuestreo elimina el ruido del sistema; luego, qué circunstancias permiten concluir que la resolución *efectiva* del convertidor ha crecido. Finalmente, cómo se puede modelar el ruido de cuantización para obtener convertidores de una resolución altísima.

**3.4.2.1 Sobremuestreo para eliminar el ruido del sistema** Imaginemos que el convertidor tiene como entrada una señal  $V_{IN}$  a la que se superpone un ruido intrínseco no despreciable ( $v_n$ ). Podemos imaginar que el ADC es un instrumento de medida con su error instrumental, que viene marcado por la resolución del convertidor.

Cuando se tienen dudas sobre la calidad de la medida, se recomienda realizar  $M$  medidas y realizar la media aritmética del valor obtenido:

$$\bar{V}_{IN} = \frac{1}{M} \sum_{k=1}^M V_{IN,k} \quad (28)$$

Si cada medida tiene como error  $v_n$ , y teniendo en cuenta que es un error de tipo aleatorio, el error aleatorio de la suma de todos los valores es:

$$v_{n,T}^2 = \sum_{k=1}^M \left( \frac{\partial \bar{V}_{IN}}{\partial V_{IN,k}} \right)^2 \cdot v_n^2 = \sum_{k=1}^M \left( \frac{1}{M} \right)^2 \cdot v_n^2 = M \cdot \frac{v_n^2}{M^2} = \frac{v_n^2}{M} \rightarrow v_{n,T} = \frac{v_n}{\sqrt{M}} \quad (29)$$

Por tanto, el valor eficaz del ruido aleatorio se reduce un factor  $\sqrt{M}$ . En la práctica, el sobremuestreo con tratamiento de señal equivale a un filtro LP. Por supuesto, el tratamiento matemático sólo ha afectado al error aleatorio, no al instrumental. Aunque se haya amortiguado el primero, no existe ninguna razón para creer (por ahora) que el error de cuantización haya cambiado. Por tanto, la resolución del ADC sigue siendo la misma.

Vamos a ver dos operaciones matemáticas que eliminan el ruido aleatorio. Uno, es la **media aritmética simple**, ya mencionado en Eq. 28, y su expresión como sucesión temporal sería:

$$\bar{V}_{IN}(n) = \frac{1}{M} \cdot (V_{IN}(n) + V_{IN}(n-1) + \dots + V_{IN}(n-M+1)) = \frac{1}{M} \cdot \sum_{k=0}^{M-1} V_{IN}(n-k) \quad (30)$$

Otra opción es la **media con ventana desplazada** (*rolling window average*). Esta operación matemática da un poco más de importancia a los últimas medidas y requiere un acumulador intermedio,  $S(n)$ . La expresión es:

$$S(n) = (1 - M^{-1}) \cdot S(n-1) + V_{IN}(n) \quad (31)$$

$$\bar{V}_{IN}(n) = \frac{1}{M} \cdot S(n)$$

Esta operación tiene una gran ventaja sobre la media aritmética simple: no es necesario guardar las últimas  $M-1$  muestras ni desplazar de posición cada elemento cuando se produce una medida. Su cálculo es, por tanto, más rápido y requiere muchos menos recursos. En la práctica, se suele usar una potencia natural de 2 como valor de  $M$  ( $M = 2^m$ ) lo que hace que los cálculos sean aún más eficientes pues dividir por  $2^m$  consiste en desplazar los bits del entero  $m$  posiciones a la derecha.

Como Eqs. 30 y 31 son sucesiones recursivas, es posible estudiarlas por medio de la transformada Z y demostrar que, efectivamente, son filtros LP. Si realizamos la transformada Z de Eq. 30, obtendríamos:

$$Z(\bar{V}_{IN}(n)) = Z\left(\frac{1}{M} \cdot (V_{IN}(n) + V_{IN}(n-1) + \dots + V_{IN}(n-M+1))\right) = \frac{1}{M} \cdot \sum_{k=0}^{M-1} z^{-k} \cdot V_{IN}(z) =$$

$$= \frac{1}{M} \cdot V_{IN}(z) \cdot \sum_{k=0}^{M-1} z^{-k} = \frac{1}{M} \cdot \frac{1 - z^{-M}}{1 - z^{-1}} \cdot V_{IN}(z) \quad (32)$$

Se ha utilizado la relación  $1 + a + a^2 + \dots + a^n = \frac{1 - a^{n+1}}{1 - a}$ . En conclusión, calcular la media aritmética de los  $M$  términos anteriores es similar a aplicar un filtro de función de transferencia:

$$H_M(z) = \frac{1}{M} \cdot \frac{1 - z^{-M}}{1 - z^{-1}} \quad (33)$$

Si volvemos al dominio de la frecuencia haciendo el cambio  $z = e^{j\omega T}$ , siendo  $T$  el periodo de muestreo, se obtendría:

$$H_M(j\omega) = \frac{1}{M} \cdot \frac{1 - e^{-j\omega MT}}{1 - e^{-j\omega T}} = \frac{1}{M} \cdot \frac{e^{-j\omega MT/2}}{e^{-j\omega T/2}} \cdot \frac{e^{-j\omega MT/2} - e^{-j\omega MT/2}}{e^{j\omega T/2} - e^{-j\omega T/2}} = \frac{1}{M} \cdot \frac{e^{-j\omega MT/2}}{e^{-j\omega T/2}} \cdot \frac{\sin(\omega MT/2)}{\sin(\omega T/2)}$$

y el módulo:

$$|H_M(j\omega)| = \frac{1}{M} \cdot \left| \frac{\sin(\omega MT/2)}{\sin(\omega T/2)} \right| \quad (34)$$

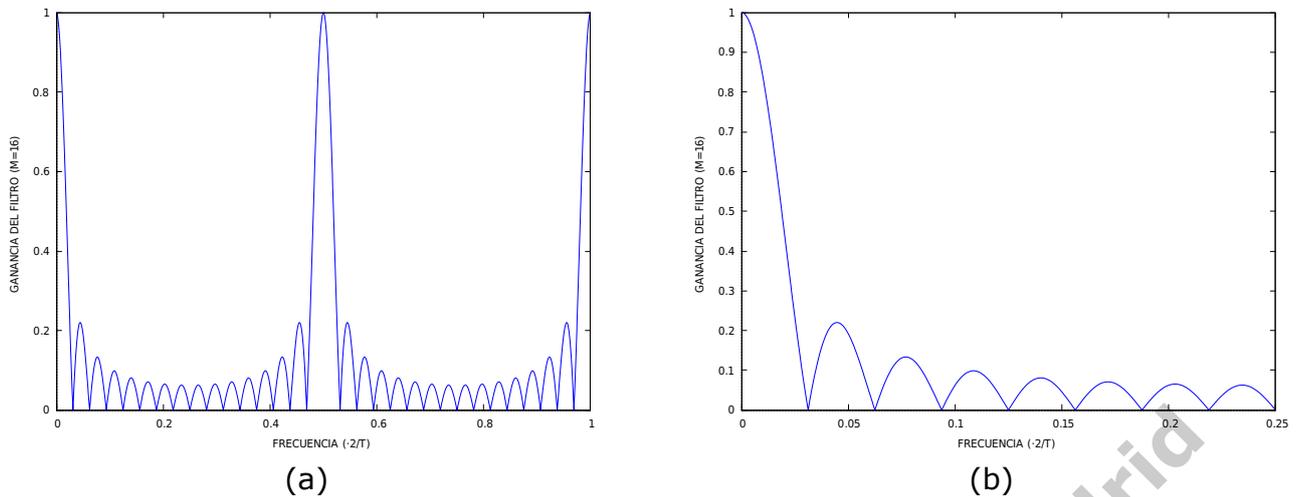


Figura 16: Ganancia del filtro digital derivado de hacer la media de los últimos  $M = 16$  valores muestreados (Eq. 34). El eje X representa la frecuencia natural en unidades de  $2/T$ , siendo  $T$  el periodo de muestreo. En (a), aparece el espectro completo y en (b) se ha ampliado la zona de bajas frecuencias, y que se puede aproximar como  $|\text{sinc}(M \cdot f)|$ .

Un ejemplo de esta función se recoge en Fig. 16a<sup>6</sup>. A bajas frecuencias, donde  $\omega \ll 2/T$ , se cumple que:

$$|H_M(j\omega)| = \frac{1}{M} \cdot \left| \frac{\sin(\omega MT/2)}{\sin(\omega T/2)} \right| \approx \frac{1}{M} \cdot \left| \frac{\sin(\omega MT/2)}{\omega T/2} \right| = \left| \frac{\sin(\omega MT/2)}{\omega MT/2} \right| = \text{sinc}\left(\frac{\omega MT}{2}\right)$$

siendo  $\text{sinc}(x) = \frac{\sin x}{x}$  la función muestreo (Fig. 16b). La función se anula para valores tales que  $\frac{\omega MT}{2} = n \cdot \pi \rightarrow f = \frac{n}{M} \cdot \frac{1}{T}$  y que la amplitud de los máximos decrece con el inverso de la frecuencia (al menos, para valores bajos).

El filtro asociado a la media con ventana deslizante tiene una transformada muy fácil de calcular pues Eq. 31 se convierte en:

$$S(z) = (1 - M^{-1}) \cdot z^{-1} \cdot S(z) + V_{IN}(z) \Rightarrow \frac{\bar{V}_{IN}(z)}{V_{IN}(z)} = \frac{1}{M} \cdot \frac{1}{1 - (1 - M^{-1}) \cdot z^{-1}} \quad (35)$$

$$\bar{V}_{IN}(z) = \frac{1}{M} \cdot S(z)$$

Esta ecuación, aparentemente simple, carece de simetría y no permite obtener una expresión sencilla en el dominio de la frecuencia. En cualquier caso, su capacidad de filtrado no debe ponerse en duda.

**3.4.2.2 Sobremuestreo para aumentar la resolución del ADC** En el apartado anterior, se vio que era posible disminuir el ruido realizando muchas muestras de la señal e introduciendo los valores en un filtro LP digital. Ocurre que, en determinadas circunstancias, se puede aumentar la resolución efectiva del ADC. Para ello, es necesario que exista un nivel de ruido a la entrada con un valor eficaz del orden o superior a  $V_{LSB}$ . Si no existiera, debería incluirse un generador de ruido que lo agregara a la entrada. Estos circuitos son muy sencillos y fáciles de encontrar en la literatura. Otra alternativa consiste en agregar el ruido a la tensión de referencia.

El fundamento de la técnica es el siguiente: Imaginemos que vamos a codificar una tensión de valor exacto  $V_{IN} = (k + 0.5) \cdot V_{LSB}$  y que el nivel de ruido es  $\pm \alpha \cdot V_{LSB}$ . Por tanto,

<sup>6</sup>Las gráficas se generaron con Maxima utilizando la orden `plot2d([1/16*abs(sin(16*2*pi*f)/sin(2*pi*f))], [f,0,0.25], [xlabel,"FRECUENCIA (.2/T)", [ylabel, "GANANCIA DEL FILTRO (M=16)", [plot_format, gnuplot_pipes]`

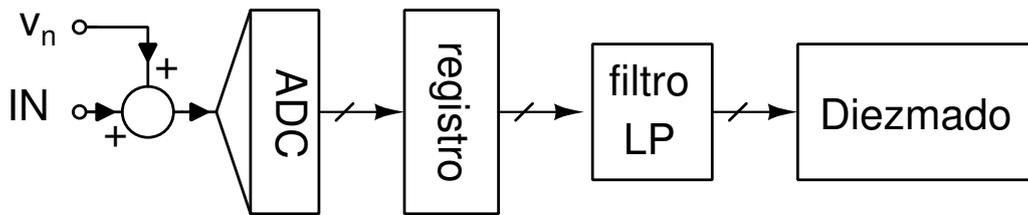


Figura 17: Esquema de aumento de la resolución de un ADC con la adición de ruido, filtrado y diezmado.

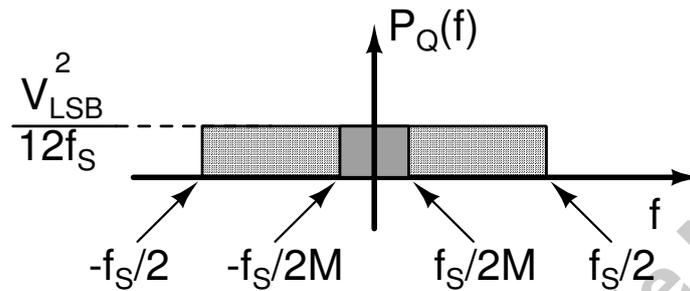


Figura 18: Reducción del ruido de cuantización tras la aplicación del filtro de diezmado.

cuando el ADC muestrea la señal toma valores en el intervalo  $V_{IN} = (k + \frac{1}{2}) \cdot V_{LSB} \pm \alpha \cdot V_{LSB}$ . Unas veces la señal se codificará como  $k$ , otras como  $k + 1$ , dependiendo de cuál es el valor exacto de la tensión de ruido en ese instante. En cualquier caso, es indudable que el 50% de las veces la señal se codificará como  $k$  y el otro 50% como  $k + 1$ .

Ahora, supongamos que la tensión de entrada es ligeramente superior (p. e.,  $V_{IN} = (k + 0.6) \cdot V_{LSB}$ ). Por efecto del ruido, seguirán apareciendo ambos valores pero, al estar más cerca de  $k + 1$ , este resultado aparecerá más veces que  $k$ . Por el contrario, si la entrada está por debajo (p. e.,  $V_{IN} = (k + 0.4) \cdot V_{LSB}$ ), será  $k$  quien aparezca más veces que  $k + 1$ . Aunque no conocemos el valor exacto de  $V_{IN}$ , estamos consiguiendo información adicional sobre su valor con lo que podríamos situarlo con un poco más de precisión.

Evidentemente, se requiere que exista algo de ruido en el sistema pues, si éste fuera insuficiente, siempre obtendríamos el mismo resultado y no se podría extraer información. El aumento de la precisión se consigue utilizando una estructura similar a la de Fig. 17. En este caso, se realizan  $M$  medidas en el ADC, que se guardan en un registro y que se utilizan para alimentar un filtro LP (p.e., media simple, con ventana deslizante, etc.). Finalmente, se produce el **diezmado** (*decimation*), que retiene sólo un valor resumen de las  $M$  medidas<sup>7</sup>. El conjunto Filtro LP + diezmador se denomina «**filtro de diezmado**» (*decimation filter*).

El propósito del filtro de diezmado es reducir la frecuencia efectiva de muestreo de la señal. Imaginemos que estamos muestreando la señal con una frecuencia  $f_s$  con lo que la distribución espectral del ruido de cuantización viene descrito por Eq. 24 y Fig. 8b. Sin embargo, al aplicar el filtro de diezmado, que sólo conserva un valor de cada  $M$  tomados, estaremos restringiendo el ruido de cuantización a un rango de frecuencias mucho menor,  $\frac{f_s}{2M}$  (Fig. 18).

<sup>7</sup>Nota cultural: El diezmado (*decimatio*) era un castigo ejemplar utilizado por el ejército romano tras faltas de disciplina muy graves. Una legión se dividía en grupos de diez personas y se seleccionaba al azar un legionario de cada grupo, al que los nueve restantes mataban a bastonazos. Marco Licinio Craso aplicó esta medida sobre sus tropas durante la campaña contra Espartaco. Por otra parte, parecería más lógico usar un término como «exterminio» en lugar de «diezmado» pues en éste sobrevivía el 90% de los afectados, idemasiados para nuestro propósito!

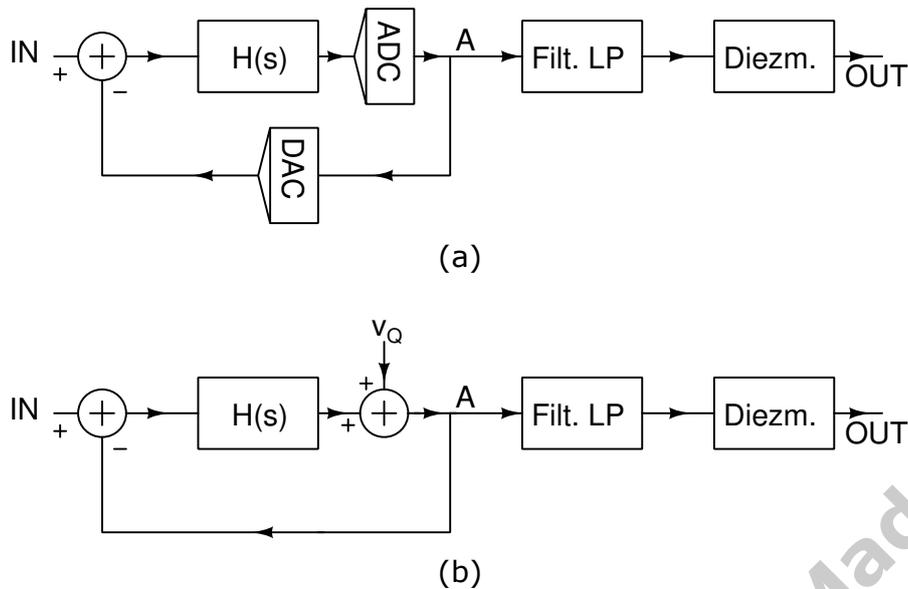


Figura 19: Estructura interna de un conversor sigma-delta básico (a). Modelado del ADC y del DAC como una fuente externa de ruido de cuantización (b).

Por tanto, el ruido de cuantización efectivo sería:

$$v_{n,eff}^2 = \int_{-f_s/2M}^{f_s/2M} \frac{V_{LSB}^2}{12f_s} \cdot df = \frac{V_{LSB}^2}{12M} = \frac{1}{12} \left( \frac{V_{REF}}{2^N \cdot \sqrt{M}} \right)^2 \tag{36}$$

Vamos a interpretar esta ecuación. Supongamos que la resolución efectiva del ADC con sobremuestreo es  $N_{eff}$  con lo que el valor efectivo del  $V_{LSB}$  sería  $V_{LSB,eff} = \frac{V_{REF}}{2^{N_{eff}}}$ . Como el ruido de cuantización efectivo es, por definición,  $v_{n,eff}^2 = \frac{1}{12} \cdot V_{LSB,eff}^2$ , concluimos que:

$$\frac{V_{REF}}{2^{N_{eff}}} = \frac{V_{REF}}{2^N \cdot \sqrt{M}} \Rightarrow N_{eff} = N + \log_2 \sqrt{M}$$

Propongamos ahora que  $M$  es una potencia natural de 4,  $M = 4^m$ . La resolución efectiva sería entonces muy simple de calcular:

$$N_{eff} = N + \log_2 \sqrt{4^m} = N + \log_2 (\sqrt{4})^m = N + \log_2 2^m = N + m$$

Con lo que se concluye que, **muestreando  $4^m$  veces, se aumenta la resolución efectiva  $m$  bits.**

Esta estrategia es fácilmente implementable en un microcontrolador. Imaginemos que estamos utilizando un conversor de 10 bits ( $N = 10$ ). La entrada se muestreará 64 veces ( $4^3$ ,  $m = 3$ ). Reservaremos una variable entera de 16 bits como acumulador y pondremos su valor inicial a 0. Cada vez que midamos, sumaremos el valor de la entrada, que también se ha guardado en una variable entera de 16 bits.

De acuerdo con lo mostrado en la sección 3.4.2.1, habría que dividir por 64 para obtener el valor medio. Esto equivale a desplazar el valor del contador 6 bits hacia la derecha para quedarnos sólo con 10 bits. Sin embargo, en esta sección se ha demostrado que es válido desplazar sólo 3 bits quedándonos entonces con un valor codificado con 13 bits, que son totalmente reales.

Evidentemente, el problema de esta estrategia es la reducción drástica de la frecuencia de muestreo. Por otra parte, el ruido introducido inicialmente desaparece por efecto del filtro LP.

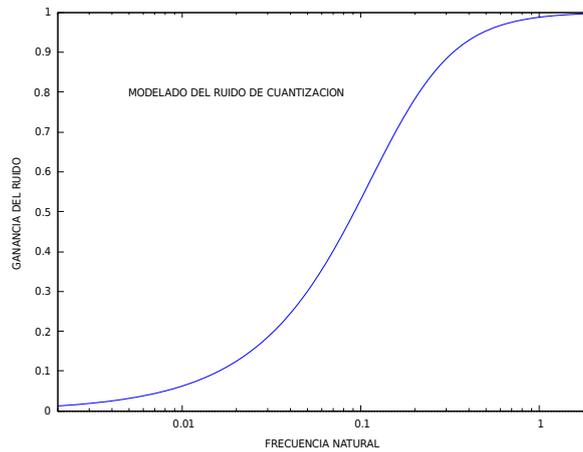


Figura 20: Reducción del ruido de cuantización a bajas frecuencias ( $K = 1$ ).

**3.4.2.3 Conversores Sigma-Delta** La reducción del ruido efectivo de cuantización es aun más eficaz si se realiza el «**modelado del ruido**». Esto consiste en atenuar las componentes del ruido a bajas frecuencias antes de introducir la señal en el filtro de diezmado. Ello se consigue por medio de una estructura similar a la mostrada en Fig. 19a. En ella, la señal de entrada se filtra, se cuantiza en un ADC y se regenera para restársela a la entrada. Una forma equivalente de modelar esta estructura es suponer que existe una segunda fuente que introduce el ruido de cuantización a la salida del filtro  $H(s)$  (Fig. 19b).

Es fácil ver que la señal en el nudo A es:

$$V_A = \frac{H(s)}{1+H(s)}V_{IN} + \frac{1}{1+H(s)}v_Q \quad (37)$$

Elijamos ahora  $H(s)$ , que será un filtro LP. El más simple es un simple integrador, con  $H(s) = -\frac{K}{s}$ , con lo que Eq. 37 se convierte en:

$$V_A = \frac{K}{K-s}V_{IN} + \frac{s}{s-K}v_Q \quad (38)$$

La contribución de  $V_{IN}$  a  $V_A$  se escala con  $\frac{K}{K-s}$ , que es prácticamente 1 a frecuencias bajas. En cambio, el ruido se escala un factor  $\frac{s}{s-K}$  (Fig. 20), que se atenúa a bajas frecuencias. ¿Qué se gana con esto? Pues que al hacer el diezmado y reducir la frecuencia de muestreo efectiva, tendríamos que integrar el espectro de frecuencias del ruido, que se ha atenuado, con lo que el valor eficaz del ruido de cuantización es mucho menor que el marcado por Eq. 36. De este modo, se consigue aumentar de manera más eficaz la resolución del ADC. Así, por ejemplo, el ADC AD7176-2, de Analog Devices, ofrece 24 bits de resolución con 22 bits efectivos a una velocidad de 5 sps (17 bits a 250 ksp/s) a un precio muy competitivo.

Estudiemos algunos detalles de interés sobre esta estructura:

- **Elección de la función  $H(s)$ :** En el ejemplo anterior, se eligió  $H(s) = -K \cdot s^{-1}$  por simplicidad. Esta función es muy fácil de construir pero si se usaran funciones de grado superior se conseguiría una mayor resolución con un menor número de pasos. El problema es que la implementación es más difícil. Asimismo, pueden incluirse más bucles de realimentación en el esquema básico de Fig. 19.
- **Cambio al dominio de Z:** El integrador puede construirse con un amplificador operacional, una resistencia  $R$  y un condensador  $C$ . Esta ecuación se puede convertir fácilmente en una ecuación de diferencias modelable en el dominio Z.

$$\frac{dV_A(t)}{dt} = -\frac{1}{RC}V_{IN}(t) \Rightarrow V_A(n+1) = V_A(n) - \frac{T}{RC}V_{IN}(n)$$

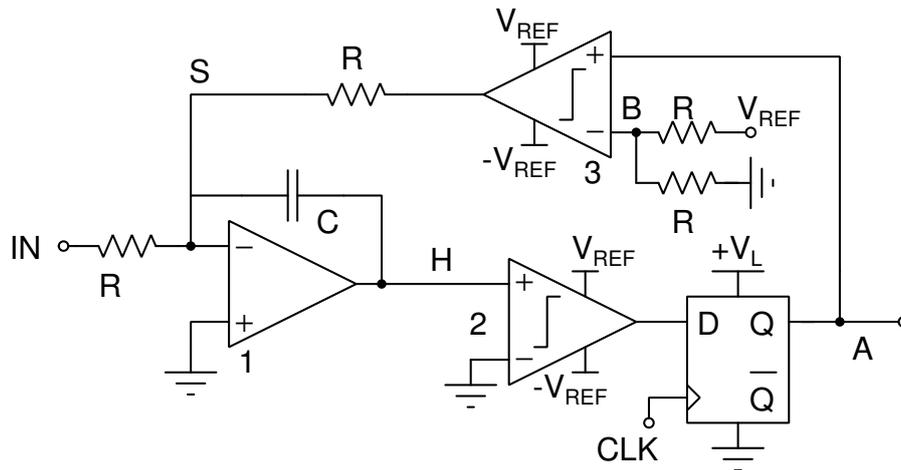


Figura 21: Un conversor sigma-delta sencillo. En esta estructura, se supone que  $V_{REF}$  y  $V_L$  son dos fuentes distintas pero del mismo valor. Esta estructura ha sido tomada de <https://www.allaboutcircuits.com/textbook/digital/chpt-13/delta-sigma-adc/>.

$T$  es el periodo de muestreo. En conclusión,  $H(s)$ , se puede reemplazar con otra función  $H(z^{-1})$ , que suele ser más fácil de implementar físicamente.

- **Conversor ADC:** La conversión es más rápida cuanto mayor sea la resolución del conversor ADC tipo Nyquist utilizado en el bucle de Fig. 19a. Esto ocurre porque la tensión del bit menos significativo de partida es menor. Sin embargo, es muy habitual que el ADC sea un simple comparador (Sección 3.4.1.1) por varios motivos: Es intrínsecamente lineal, muy fácil de construir, etc. El problema es que son, lógicamente, los que requieren más tiempo para conseguir una resolución suficientemente alta.
- **Filtro decimador:** Éste podría implementarse con una media aritmética simple, que se construiría con un acumulador cuyo resultado final debería sufrir un desplazamiento de bits hacia la derecha. Existen, por supuesto, más opciones que mejoran las características del filtro más simple.

En general, los conversores sigma-delta son relativamente fáciles de implementar. Un ejemplo de ello es Fig. 21. En esta estructura, el op amp 1 realiza la integración, el comparador 2 detecta el paso por 0 y puede asimilarse a un ADC de 1 bit con tensiones de referencia  $\pm V_{REF}$ . Un biestable introduce un retraso de un ciclo y el comparador 3 realiza la conversión D/A opuesta al comparador 2. Esta señal, cuantizada y retrasada un ciclo, se suma en el nudo S a la entrada del ciclo posterior. Es posible demostrar entonces que la tensión a la salida del integrador es

$$V_H(n) = V_H(n-1) - (V_{IN}(n) + (2 \cdot V_A(n-1)) \cdot V_{REF}) \cdot \frac{T}{RC}$$

Ya que  $V_{IN}(n) + (2 \cdot V_A(n-1)) \cdot V_{REF}$  es la tensión en el nodo S.  $V_A$  puede valer **0** o **1**, según sea el valor del signo de H (negativo o positivo, respectivamente). Se puede ver mediante cálculos sencillos que si realizan  $2^{N+1}$  ciclos de reloj y se suman los valores lógicos que aparezcan en A, el resultado final es la codificación de  $V_{IN}$  en  $N$  bits. Se invita al alumno/a a realizar el cálculo por sí mismo/a con una hoja de cálculo, implementando la función en Matlab, Python, etc. Podrá ver que, efectivamente, se consigue lo que se pretende.

Y con esto llegamos al final del apartado preguntándonos para qué se deben utilizar los conversores sigma-delta. La respuesta es muy sencilla: Permiten una codificación excelente a unas frecuencias relativamente bajas. Esto los hace especialmente útiles para sistemas cuyas salidas no varíen muy rápidamente y que requieran ser medidos con precisión extraordinaria. Son apropiados para la codificación de sensores que midan parámetros físicos como la

temperatura, presión, agentes químicos, etc. Por ejemplo, la tensión de salida de las galgas extensiométricas, termopares, etc. sólo se pueden medir con precisión con estos ADCs. Al ser más rápidos, han desplazado a los integradores ya que ofrecen una resolución comparable. También compiten con los conversores SAR aunque estos siguen contando con la ventaja de su mucha mayor velocidad y facilidad de uso ya que, recordemos, están integrados en muchos microcontroladores. Finalmente, los conversores sigma-delta son utilizados en captura de audio al ofrecer una gran resolución trabajando a frecuencias del orden de 10 ksps.

### 3.5 Selección del mejor ADC para una aplicación específica

Finalizaremos este tema haciendo una guía rápida de selección del tipo de ADC y de la resolución requerida. En primer lugar, centrémonos en la resolución del ADC. Ésta se selecciona una vez que conocemos la precisión mínima requerida o el nivel de ruido del sistema. Ya se explicó en el Apartado 3.3.3 cómo seleccionar la resolución del ADC en función de la SNR requerida. Hay otros criterios para seleccionar la resolución. Por ejemplo, imaginemos que tenemos una tensión de referencia de +5 V y necesitamos conocer la tensión de entrada con una precisión de menos de 3 mV. Por tanto, éste será el valor máximo admisible del  $V_{LSB}$ :

$$\frac{5}{2^N} < 3 \cdot 10^{-3} \Rightarrow 2^N > \frac{5000}{3} \Rightarrow N > 10.70\dots$$

Por lo que tendremos que buscar un conversor de, al menos, 11 bits. Otras veces conoceremos la precisión relativa. Imaginemos que la tensión medida por el ADC se mostrará por una pantalla con cuatro cifras significativas. Si es así, necesitaríamos conocer la tensión una precisión superior a 1 sobre 10.000 ( $10^4$ ). Por tanto, se requiere un valor de  $N$  suficiente para codificar al menos 10.000 niveles con lo que:

$$2^N > 10000 \Rightarrow N > 13.28\dots$$

Se necesitarían 14 bits. Hay, sin embargo, una regla no escrita que dice que, en general, **un buen diseñador elige un ADC con una resolución 2 bits superior a la que le muestren los cálculos**. Así, en los ejemplos anteriores tendríamos que haber elegido  $11+2=13$  bits y  $14+2=16$  bits. El motivo de esto es que en nuestros cálculos estamos suponiendo que el ADC es ideal y no estamos teniendo en cuenta no idealidades como la INL, DNL, códigos perdidos, etc. Al aumentar el número de bits, reducimos estas posibles fuentes de error. Otra opción es usar comparar  $N$  con el número efectivo de bits, que dará el fabricante en la hoja de características, y no con la resolución. Recordemos los datos del AD7176-2, mostrado como ejemplo en la sección 3.4.2.3.

Toca ahora elegir el tipo de ADC según la función que nos interese. Hemos estudiado 5 tipos de ADC de los que, en la práctica, dos sólo se usan en circunstancias muy especiales. En primer lugar, distinguiremos entre aplicaciones de alta y baja frecuencia, fijando la frontera de separación<sup>8</sup> en 5 Msps.

Aplicaciones de alta frecuencia serían, por ejemplo:

- Osciloscopios y analizadores de espectro
- Dispositivos de vídeo
- Imagen médica
- Radio digital
- ...

<sup>8</sup><http://www.analog.com/en/analog-dialogue/articles/the-right-adc-architecture.html>

En este caso, se deben utilizar ADCs tipo pipeline ya que pueden trabajar a esa frecuencia con una resolución excelente. Sólo pierden la batalla contra los ADCs tipo Flash si la frecuencia de muestreo es, por el motivo que sea, del orden de 1-2 Gsps y siempre y cuando no se requiera una resolución muy alta (8 bits). En la práctica, éste es el único nicho que le queda a los ADCs tras un reinado que acabó dos o tres décadas atrás.

Los ADCs tipo SAR entran en competencia con los ADCs tipo pipeline en la franja entre 1-5 Msps. Ahí sus dominios se solapan parcialmente. Los ADCs tipo SAR dominan para frecuencias medias y resoluciones de 10-16 bits. Son útiles, por tanto, para realizar adquisiciones de datos de tipo general, sin un propósito específico. Así, son válidos para audio, instrumentación, etc. Como, en general, tienen un consumo muy bajo, son ideales para sistemas alimentados por baterías. Téngase en cuenta, además, que son dispositivos muy baratos y están integrados en muchos microcontroladores.

Finalmente, en el rango de menor frecuencia se encuentran los conversores sigma-delta. Estos permiten conseguir una resolución extraordinaria a frecuencias bajas lo que los hace especialmente interesantes para la instrumentación industrial: temperatura, presión, velocidad, etc. Por otra parte, como pueden alcanzar frecuencias de muestreo suficientemente altas, algunos modelos son apropiados para la codificación de audio.

¿Qué destino les queda entonces a los ADCs integradores? En la práctica, no han caído en el olvido por su capacidad para filtrar interferencias. Así, aún gozan de popularidad en sistemas industriales en los que las señales parásitas sean considerables.

Por último, no debemos olvidar un punto importante: el precio. Hay que fijarse en este dato cuando se esté realizando el diseño dado que hay una gran variedad de valores en este apartado. A lo largo del tema, se han mostrado diversos ejemplos de conversores. En la tabla siguiente, se realiza una comparativa de los datos de interés<sup>9</sup> de éstos:

Modelo	Tecnología	Fabricante	Resolución	Frecuencia	Precio
AD7176-2	Sigma-Delta	Analog	24	$5 \cdot 10^{-6}$	9,25
			17	0,25	
AD7829-1	Flash	Analog	8	2	3,85
AD9695	Pipeline	Analog	14	625	406,0
ADS5562	Pipeline	Texas I.	16	80	48,35
MAX106	Flash	Maxim	8	600	¿ ?
MAX1132	SAR	Maxim	16	0,2	28,08
MAX1214	Pipeline	Maxim	12	210	121,76
MAX136	Integrador	Maxim	3½	¿ ?	5,02
MCP3202	SAR	Microchip	12	0,1	1,83
TC510	Integrador	Microchip	17	¿ ?	2,46
TLC7135	Integrador	Texas I.	4½	$3 \cdot 10^{-6}$	5,03
				Msps	\$

Puede verse la gran variedad de precios existente. Y esto puede traernos graves problemas si no se realiza la selección adecuada ya que la elección del conversor incorrecto puede disparar el precio total del sistema haciendo que el diseño no sea competitivo y esté abocado al fracaso. Otro factor que hay que tener en cuenta es la disponibilidad de los componentes. Es previsible que algunos modelos, sobre todo los construidos en tecnología flash o integradora, dejen de estar disponibles en los próximos años.

<sup>9</sup>Se da como «precio» la opción más barata ofrecida por el fabricante el día 2 de enero de 2018, sin costes adicionales como impuestos o transporte.